

AN

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-092576

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H05B 33/14
C08G 61/02
C08L 65/00
C09K 11/06
H01L 33/00
H05B 33/10
H05B 33/22
H05B 33/26

(21)Application number : 09-116158

(71)Applicant : CAMBRIDGE DISPLAY TECHNOL LTD

(22)Date of filing : 18.04.1997

(72)Inventor : FRIEND RICHARD H
BURROUGHES JEREMY H
BRADLEY DONAL D

(30)Priority

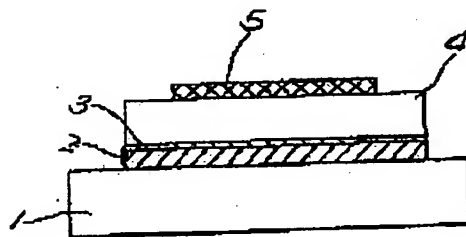
Priority number : 89 8909011 Priority date : 20.04.1989 Priority country : GB

(54) ELECTROLUMINESCENT ELEMENT AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To manufacture a highly reliable electroluminescent element which has a wide surface area and whose electric power consumption is low by forming a poly phenylene vinylene PPV film with the thickness within a specified μm range on the surface of a first charge injection contact layer.

SOLUTION: Using a borosilicate glass 1 as a glass substrate, a first electric charge injection contact layer 2 is formed on the upper face of the substrate. This electric charge injection contact layer 2 is formed by thermal evaporation of aluminum through a shadow mask and the resultant substrate is exposed to air to form a thin film surface oxidized layer 3 and the electric charge injection contact layer is thus obtained. Next, a polymer solution is applied to the whole surface area of a joining substrate and while keeping the upper face in a horizontal state, the substrate is rotated at a specified rotation speed on an axis and the resultant substrate coated with a polymer precursor layer is thermally treated in a vacuum oven to convert the precursor into poly phenylene vinylene PPV. The obtained PPV film 4 has 100-300nm thickness. After that, a second electric charge injection contact layer 5 is formed on the PPV film 4 by evaporation of gold or aluminum and an electric charge injection contact layer with 20-30nm thickness is thus obtained.



LEGAL STATUS

[Date of request for examination] 19.05.1997

[Date of sending the examiner's decision of rejection] 16.11.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2000-01724

[Date of requesting appeal against examiner's decision of rejection] 14.02.2000

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-92576

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl. ⁸	識別記号	F I
H 0 5 B 33/14		H 0 5 B 33/14
C 0 8 G 61/02		C 0 8 G 61/02
C 0 8 L 65/00		C 0 8 L 65/00
C 0 9 K 11/06		C 0 9 K 11/06 Z
H 0 1 L 33/00		H 0 1 L 33/00 A
審査請求 有 請求項の数25 F D (全 12 頁) 最終頁に続く		

(21) 出願番号 特願平9-116158
 (62) 分割の表示 特願平2-506028の分割
 (22) 出願日 平成2年(1990) 4月18日
 (31) 優先権主張番号 8 9 0 9 0 1 1 : 2
 (32) 優先日 1989年4月20日
 (33) 優先権主張国 イギリス (G B)

(71) 出願人 597063048
 ケンブリッジ ディスプレイ テクノロジ
 ー リミテッド
 イギリス国、ケンブリッジ シービー1
 2 ジェービー ステーション ロード 13
 (72) 発明者 フレンド リチャード ヘンリー
 イギリス国、ケンブリッジ シービー3
 0 エイチアール シャーロック ロード
 6
 (74) 代理人 弁理士 千葉 剛宏 (外1名)

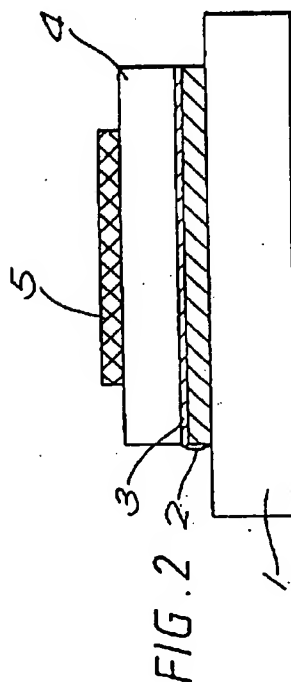
最終頁に続く

(54) 【発明の名称】 電界発光素子およびその製造方法

(57) 【要約】

【課題】信頼性に富み、広面積化が可能な、しかも低消費電力で廉価に製造できる電界発光素子およびその製造方法を提供する。

【解決手段】ガラス基板1の上面に第1の電荷注入接触層2が形成される。この第1の電荷注入接触層2はアルミニウムを熱蒸着したものである。この第1の電荷注入接触層2の表面に酸化物層3が形成される。さらに、前記酸化物層3の表面にPPV膜4を100から300 μ mの厚さに形成する。次に、前記PPV膜4上に第2の電荷注入接触層5を設ける。

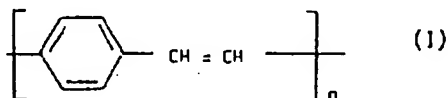


【特許請求の範囲】

【請求項1】少なくとも一種の共役ポリマーからなる薄い緻密なポリマー膜の形状の半導体層、半導体層の第1の表面と接する第1の接触層および半導体層の第2の表面と接する第2の接触層とからなる電界発光素子であって、半導体層のポリマー膜は、第2の接触層を第1の接触層に対して正にするように半導体層を介して第1および第2の接触層間に電界をかけると、電荷キャリアが半導体層に注入されて、半導体層から発光がなされるように十分に低い濃度の外部電荷キャリアを有していることを特徴とする電界発光素子。

【請求項2】請求項1記載の電界発光素子において、共役ポリマーが式

【化1】



【式中、フェニレン環は、必要に応じてそれぞれ独立してアルキル（好適にはメチル）、アルコキシ（好適にはメトキシまたはエトキシ）、ハロゲン（好適には塩素または臭素）またはニトロの中から選択される1つあるいはそれ以上の置換基を有していてもよい】のポリ（p-フェニレンビニレン）[PPV]であることを特徴とする電界発光素子。

【請求項3】請求項1または2記載の電界発光素子において、薄い緻密なポリマー膜が10nmから5μmまでの範囲の実質的に均一な厚さのものであることを特徴とする電界発光素子。

【請求項4】前記請求項のいずれかに記載の電界発光素子において、共役ポリマーが1eVから3.5eVの範囲の半導体バンドギャップを有することを特徴とする電界発光素子。

【請求項5】前記請求項のいずれかに記載の電界発光素子において、ポリマー膜の電界発光領域における共役ポリマーの割合が膜中に存在する共役ポリマー中での電荷移動の浸透しきい値を達成するのに十分であることを特徴とする電界発光素子。

【請求項6】前記請求項のいずれかに記載の電界発光素子において、第1の電荷注入接触層が、その一表面に薄い酸化層が形成されたアルミニウムの薄層であり、半導体層の第1の表面が前記酸化層と接触していることを特徴とする電界発光素子。

【請求項7】請求項1乃至5のいずれかに記載の電界発光素子において、第1の接触層がアルミニウムまたはマグネシウムと銀との合金からなる群から選択されることを特徴とする電界発光素子。

【請求項8】請求項6記載の電界発光素子において、第2の電荷注入層がアルミニウムおよび金からなる群から選択されることを特徴とする電界発光素子。

【請求項9】前記請求項のいずれかに記載の電界発光素子において、第1および第2の電荷注入接触層の少なくとも1つが少なくとも半透明であることを特徴とする電界発光素子。

【請求項10】請求項7記載の電界発光素子において、第2の接触層が酸化インジウムまたは酸化インジウムスズからなることを特徴とする電界発光素子。

【請求項11】請求項1乃至5のいずれかに記載の電界発光素子において、第1の接触層が非晶質シリコンからなり、かつ第2の接触層がアルミニウム、金および酸化インジウムからなる群から選択されることを特徴とする電界発光素子。

【請求項12】前記請求項のいずれかに記載の電界発光素子において、第1および第2の電荷注入接触層の少なくとも1つが支持基板とも接触していることを特徴とする電界発光素子。

【請求項13】請求項9記載の電界発光素子において、支持基板が石英ガラスであることを特徴とする電界発光素子。

【請求項14】前記請求項のいずれかに記載の電界発光素子からなるアレイであって、第1および第2の電荷注入接触層が前記アレイ中で選択的にアドレスされるように配置されていることを特徴とするアレイ。

【請求項15】少なくとも1種の共役ポリマーからなる薄い緻密な重合体膜の形状の半導体層を、前駆体ポリマーの薄膜をポリマー薄膜として基板上に付着させ、次に付着した前駆体ポリマーを高温に加熱して共役ポリマーを生成する工程によって基板上に付着させ、第1の接触層の薄層を前記半導体層の第1の表面と接して設け、そして、第2の接触層の薄膜を前記半導体層の第2の表面と接して設ける電界発光素子を製造する方法であって、ポリマー膜が、第2の接触層を第1の接触層に対して正にするように前記半導体層と接した第1および第2の接触層間に電界をかけると、電荷キャリアが半導体層に注入されて、半導体層から発光がなされるように十分に低い濃度の外部電荷キャリアを有していることを特徴とする電界発光素子の製造方法。

【請求項16】請求項15記載の製造方法において、まず、支持基板上に前記第1の電荷注入接触層を付着させて複合基板を形成し、前記第1の電荷注入接触層上に薄い緻密なポリマー膜として前記前駆体ポリマーを付着させ、次に複合基板および前駆体ポリマーをポリマー膜中に前記共役ポリマーを生成する高温に加熱し、最後に前記第2の電荷注入接触層をポリマー膜上に付着させることを特徴とする電界発光素子の製造方法。

【請求項17】請求項15または16記載の製造方法において、前駆体ポリマーが可溶性であり、かつスピニングによって基板上にポリマー薄膜として付着されることを特徴とする電界発光素子の製造方法。

【請求項18】請求項15乃至17のいずれかに記載の

製造方法において、前駆体ポリマーがポリ（p-フェニレンビニレン）[PPV]の前駆体ポリマーであることを特徴とする電界発光素子の製造方法。

【請求項19】請求項15乃至18のいずれかに記載の製造方法において、薄い緻密なポリマー膜が10nmから5μmまでの範囲の均一な厚さのものであることを特徴とする電界発光素子の製造方法。

【請求項20】請求項15乃至19のいずれかに記載の製造方法において、第1の電荷注入接触層が、その一表面に薄い酸化物層が形成されたアルミニウムの薄層であり、この第1の電荷注入接触層の酸化物薄層が半導体層の第1の表面と接触して設けられることを特徴とする電界発光素子の製造方法。

【請求項21】請求項15乃至20のいずれかに記載の製造方法において、第2の電荷注入層がアルミニウムおよび金からなる群から選択されることを特徴とする電界発光素子の製造方法。

【請求項22】請求項15乃至19のいずれかに記載の製造方法において、第1の接触層がアルミニウムおよびマグネシウム/銀の合金からなる群から選択され、且つ第2の接触層が酸化インジウムであることを特徴とする電界発光素子の製造方法。

【請求項23】請求項15乃至19のいずれかに記載の製造方法において、第1の接触層が非晶質シリコンとなり、かつ第2の接触層がアルミニウム、金および酸化インジウムからなる群から選択されることを特徴とする電界発光素子の製造方法。

【請求項24】請求項15乃至24のいずれかに記載の製造方法において、第1および第2の電荷注入接触層が蒸着によって付着されることを特徴とする電界発光素子の製造方法。

【請求項25】請求項15乃至24のいずれかに記載の製造方法において、支持基板が石英ガラスであることを特徴とする電界発光素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界発光素子およびその製造方法に関し、一層詳細には、発光層が半導体である電界発光素子およびその製造方法に関する。

【0002】

【従来の技術】電界発光（EL）素子は、電界の影響により発光するよう構成されている。このように使用される半導体における物理的過程に対する一般的な作用は、半導体の相対する電極から半導体に注入される電子-正孔対の放射結合を通して行われる。その一例としては、GaPおよび同様なIII族-V族半導体を基礎とする発光ダイオードがある。これらの素子は、効果的且つ広範囲に利用されているものの、その大きさが非常に微小であるために大面積ディスプレイに使用するに際しては、困難を伴うばかりか不経済でもある。大面積ディスプレ

イへの使用が可能な代替品の材料は幾種類か知られており、そして無機半導体の中、ZnSに最も多大な努力が向けられた。この系は無視できない実用上の欠点、第1に信頼性が乏しいという問題がある。ZnSに係るメカニズムの一例は、強電界下において、半導体を通して1種のキャリアが加速されることによって、放射発光によって緩和する半導体の局部的励起が生じることでありと考えられる。

【0003】有機材料の中、アントラセン、ペリレン、そしてコロネンのような単体芳香族分子（simple aromatic molecules）はエレクトロルミネセンスを示すことが知られている。

【0004】これらの材料の実用上の問題点としては、ZnSと同様にそれらが信頼性を欠くばかりか、これらの有機層と電流注入電極層（current-injecting electrode layers）との接合が困難なことである。

【0005】有機材料の昇華などの技術は、得られる層が軟らかく、再結晶し易く、および上部接触層（top contact layer）の高温析出に耐えることができないという不利を蒙る。

【0006】好適に改質された芳香族化合物のラングミュア-ブロッジェット（Langmuir-Blodgett）蒸着等の技術は膜の品質の劣化、能動物質の希釈、さらには、製造コストの高騰を招く。

【0007】アントラセンを利用した電界発光素子は、米国特許3,621,321号に開示されている。この素子は、多量の電力を消費し、且つ低ルミネセンスであるという不都合を有している。

【0008】改良した素子を提供しようとして、米国特許4,672,265号は、発光層として二層構造を有する電界発光素子を記載している。

【0009】しかしながら、前記二層構造に提案されている物質は、前述の不都合を有する有機材料である。

【0010】

【発明が解決しようとする課題】本発明は、前記の不都合を未然に回避するか、若しくは少なくとも前記不都合を低減化する電界発光素子およびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の一態様によれば、少なくとも1種の共役ポリマーからなる薄い緻密なポリマー膜の形状の半導体層、半導体層の第1の表面と接する第1の接触層および半導体層の第2の表面と接する第2の接触層とからなる電界発光素子であって、半導体層のポリマー膜は、第2の接触層を第1の接触層に対して正にするように半導体層を介して第1および第2の接触層間に電界をかけると、電荷キャリアが半導体層に注入されて、半導体層から発光がなされるように十分に低い濃度の外部電荷キャリアを有していることを特徴と

する電界発光素子が提供される。

【0012】本発明は、適切な接触層から電荷キャリアを注入することによって共役ポリマー半導体にエレクトロルミネセンスを発揮させることができるという本発明者等による発見に基礎をおくものである。

【0013】共役ポリマーそれ自体は知られている。例えば、光学変調器へのそれらの利用が欧州特許出願0294061号で検討されている。その場合、ポリアセチレンが第1および第2の電極間の変調構造におけるアクティブ層として使用されている。光学変調効果をもたらすアクティブ層に空間電荷領域を形成するように電極の1つとアクティブ層との間に絶縁層を設ける必要がある。空間電荷層が存在するために、その崩壊が発光を行う電子/正孔対の形成が実現不能にされるので、そのような構造はエレクトロルミネセンスを示すことができない。いずれにせよ、欧州特許出願0294061号においてエレクトロルミネセンスが発揮されるということは、光学変調効果がそれによって破壊されるのでまったく望ましくない。

【0014】本発明に係る素子において、共役ポリマー(Conjugated Polymer)はポリ(p-フェニレンビニレン)であるのが好ましく、第1の電荷注入接触層(first charge injection contact layer)は、一側の表面に薄い酸化物層が形成されたアルミニウムの薄層からなり、半導体層の第1の表面は前記酸化物層と接し、そして第2の電荷注入接触層(second charge injection contact layer)はアルミニウムまたは金の薄層である。

【0015】他の実施態様において、共役ポリマーはPPVであり、第1接触層がアルミニウム、若しくはマグネシウムと銀の合金で、第2接触層は、酸化インジウムである。

【0016】さらに別の実施態様では、共役ポリマーはPPVであり、接触層の一つは非晶質シリコンからなり、他方の接触層は、アルミニウム、金、マグネシウム-銀合金、酸化インジウムからなる群の中から選択される。

【0017】これらの実施態様は、第1接触層あるいは第2接触層の中のいずれかを基板に積層し、PPVの薄層を付与し、そして、その上に前記積層されなかった接触層を積層することによって達成される。

【0018】好適には、ポリマー膜は、概ね10nmから5 μ mの範囲の均一な厚さを有し、共役ポリマーは1eVから3.5eVの範囲で半導体バンドギャップを有する。その上、ポリマー膜の電界発光領域における共役ポリマーの割合は、膜内に存在する共役ポリマー中の電荷移動の浸透しきい値を達成するのに十分である。

【0019】本発明の第2の態様によれば、少なくとも1種の共役ポリマーからなる薄い緻密な重合体膜の形状

の半導体層を、前駆体ポリマーの薄膜をポリマー薄膜として基板上に付着させ、次に付着した前駆体ポリマーを高温に加熱して共役ポリマーを生成する工程によって基板上に付着させ、第1の接触層の薄膜を前記半導体層の第1の表面と接して設け、そして、第2の接触層の薄膜を前記半導体層の第2の表面と接して設ける電界発光素子を製造する方法であって、ポリマー膜が、第2の接触層を第1の接触層に対して正にするように前記半導体層と接した第1および第2の接触層間に電界をかけると、電荷キャリアが半導体層に注入されて、半導体層から発光がなされるように十分に低い濃度の外部電荷キャリアを有していることを特徴とする電界発光素子の製造方法が提供される。

【0020】共役ポリマーとは、ポリマーの主骨格に沿って非極化 π 電子系を有するポリマーを意味する。この非極化化した π 電子系は半導体特性をポリマーに付与し、また、ポリマーの骨格に沿って高い移動度を有する正と負の電荷キャリアを担持する能力をポリマーに与える。

【0021】そのようなポリマーは、例えば、R. H. フレンドにより、Journal of Molecular Electronics 4 (1988) January-March, No. 1, の第37頁~第46頁で検討されている。

【0022】本発明の基礎となるメカニズムは、以下のとおりである。すなわち、正の接触層は、ポリマー膜に正の電荷キャリアを注入し、負の接触層は、ポリマー膜に負の電荷キャリアを注入する。これらの電荷キャリアは、結合して放射的に崩壊する電荷対を形成する。これを達成するために、正の接触層は高い仕事関数を有するように、また、負の接触層は低い仕事関数を有するように選択するのが好ましい。従って、負の接触層は、電子注入材料、例えば、ポリマー半導体層と接して設けられ、回路を介して外部電位を印加することによってポリマー半導体に対して負にされたときに、ポリマー半導体層に電子を注入することができる金属またはドープ半導体(doped semiconductor)から構成される。正の接触層は正孔注入材料、例えば、ポリマー半導体層と接して設けられ、回路を介して外部電位を印加することによってポリマー半導体に対して正にされた時に、ポリマー半導体層に一般に「正孔」と呼ばれる正電荷を注入することができる金属またはドープ半導体から構成される。

【0023】所望のエレクトロルミネセンスを生ずるためには、ポリマー膜は非発光性再結合の中心として作用する欠陥が実質的に存在しないことを必要とする。なぜならば、そのような欠陥はエレクトロルミネセンスを妨害するからである。

【0024】少なくとも1つの接触層は、電荷注入材に加えて、電子対正孔のエレクトロルミネセンス層への注

入比を制御し、且つ放射崩壊が接触層の電荷注入材から離れて生じることを確実にするのに役立つ材料、好ましくは有機材料の層を含むことができる。

【0025】共役ポリマーの膜は、好適には、単一共役ポリマーあるいは共役ポリマーのセグメントを含む単一コポリマーから構成される。またあるいは、共役ポリマーからなる膜は、共役ポリマーまたはコポリマーと別の適当なポリマーとの混合物から構成されることも可能である。

【0026】ポリマー膜のさらに好ましい特徴は以下の通りである。

(i) ポリマーは酸素、湿度、高温にさらされることに対して安定であるべきである。

(ii) ポリマー膜は良好な下地層との間の接着性、温度上昇および圧力圧迫を原因とする亀裂の発生に対する阻止能力、並びに縮み、膨張、再結晶あるいは他の形態変化に対する抵抗性を有するべきである。

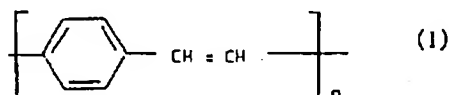
(iii) ポリマー膜は、例えば、高結晶性と高融点により、イオン/原子移動工程に対して回復性があるべきである。

【0027】次に、本発明に係る実施態様の一例を、図面を参照しながら記述する。

【0028】共役ポリマー膜は、好適には、下記式のポリ(p-フェニレンビニレン) [PPV] であり、下記式において、フェニレン環は、必要に応じて各々独立してアルキル（好適にはメチル）、アルコキシ（好適にはメトキシ若しくはエトキシ）、ハロゲン（好適には塩素若しくは臭素）またはニトロのなかから選択される1つあるいはそれ以上の置換基を有していてもよい。

【0029】

【化2】



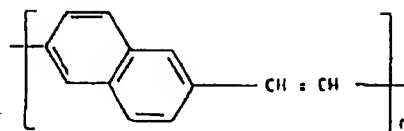
【0030】ポリ(p-フェニレンビニレン) から誘導されるその他の共役ポリマーもまた、本発明に係る電界発光素子のポリマー膜として使用されるのに適している。

【0031】以下にそのような誘導体の典型例を示す。

(i) 式Iのフェニレン環を縮合環系に置き換える、例えば、フェニレン環をアントラセンあるいはナフタレン環系に置換することによって得られる、以下のような構造を示すポリマー。

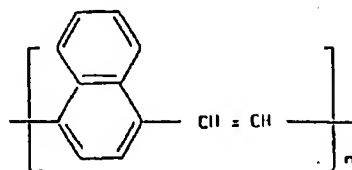
【0032】

【化3】



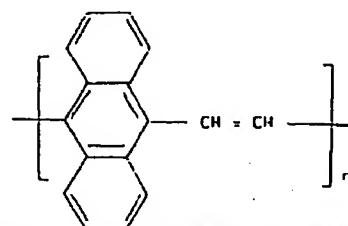
【0033】

【化4】



【0034】

【化5】

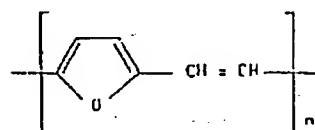


【0035】これらの代用多環系もまた前記フェニレン環に関して説明した種類の1あるいはそれ以上の数の置換基を有してもよい。

(ii) フェニレン環をフラン環などの複素環系に置換することによって得られる、以下のような構造を示すポリマー。

【0036】

【化6】

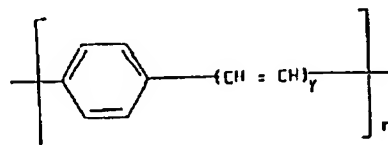


【0037】前記のとおり、上記フラン環もフェニレン環に対して先に述べた種類の1あるいはそれ以上の数の置換基を有してもよい。

(iii) 各々のフェニレン環（若しくは上記(i)あるいは(ii)において説明した他の環系）の1つに結合したビニレン部分の数を増やすことによって得られる以下のような構造を示すポリマー。

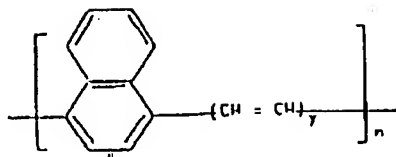
【0038】

【化7】



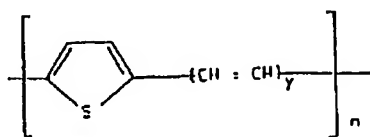
【0039】

【化8】



【0040】

【化9】



【0041】前記構造式において、 y は2、3、4、5、6、7を示す。

【0042】同様に、これらの環系は前記種々の置換基を有してもよい。

【0043】これらの種々の異なるPPV誘導体は異なる半導体エネルギーギャップを有する。このことは全可視スペクトル部にわたって異なる波長で発光する電界発光素子を構成することを可能とする。

【0044】共役ポリマー膜は溶液加工または熔融加工可能な「前駆体」ポリマーを化学処理および/または熱処理することによって製造することができる。後者の前駆体ポリマーは引き続いて脱離反応によって共役ポリマーに転化する前に精製または所望の形状に前処理することができる。

【0045】前記の各種のPPV誘導体膜は、適当なスルホニウム前駆体を使用することにより同様に導電性基板に付与することができる。

【0046】一般に、好適には、スルホニウム塩前駆体(II)よりも有機溶媒に対する溶解度が高いポリマー前駆体を用いるのが有利な場合がある。アルコキシ基(通常メトキシ)あるいは、ピリジニウム基のような親水性の低い基によって前駆体中のスルホニウム部を置き換えることによって有機溶媒に対する溶解度を高めることができる。

【0047】代表的には、ポリ(フェニレンビニレン)の膜は、図1に示すような反応図式に基づいた方法により、導電性基板上に付与される。スルホニウム塩単量体(II)は、水溶液、水エタノール混液、若しくはメタノール中で前駆体ポリマー(II I)に合成される。そのようなプレポリマー(III)の溶液は、ホトレジスト処理のために半導体産業で用いられている一般的なスピナーコーティング技術により導電性基板上に付与することができる。次に、得られた前駆体ポリマー(III)膜は、通例200℃から350℃の温度に加熱することによりポリ(フェニレンビニレン)(I)に転化される。

【0048】単量体(II)の化学合成、その前駆体(II

I)への重合、そしてPPVへの熱転化のために必要な詳細な条件は、文献、例えば、D. D. C. BradleyによるJ. Phys. D (Applied Physics)、20、1389(1987)およびJ. D. Stenger Smith、R. W. LenzとG. WegnerによるPolymer、30、1048(1989)に記載されている。

【0049】ポリ(フェニレンビニレン)膜は、10nmから10μmの厚さで得られることを見出した。これらのPPV膜は、ごくわずかなピンホールしかみられない。PPV膜は、約2.5eV(500nm)の半導体エネルギーギャップを有する。PPV膜は、強く、室温で酸素とほとんど反応せず300℃を超過する温度で空気以外に安定である。

【0050】前駆体ポリマーの退去基を改質して、脱離反応がさらに別の中間構造を生ずることなく単一反応によって進行することを確実にすることによって材料の秩序化の向上が達成される。従って、例えば、 n -ジアルキルスルホニウム成分をテトラヒドロチオフェニウム成分に置き換えることができる。後者の成分はジアルキルスルフィドに見られるようにアルキルメルカプタンに分解することなく単一の退去基として脱離する。ここに述べる例において、使用する前駆体ポリマーはジアルキルスルホニウム成分をジメチルスルフィドおよびテトラトリエプロチオフェン(tetratryebrothiophene)として選択したものを共に含む。これらの前駆体は共に以下の実施態様に示す素子構造体を使用するのに好適なPPV膜を生じる。

【0051】それ以外の適当な共役ポリマーの膜を形成する材料は、ポリ(フェニレン)である。

【0052】この材料は、5、6-ジヒドロキシシクロヘキサ-1、3-ジエンの生化学的に合成される誘導体を出発物質として製造することができる。これらの誘導体は、ラジカル開始剤を使用することによって重合して単一溶媒に溶ける前駆体ポリマーとすることができる。このポリ(フェニレン)の製造は、Ballard et al、J. Chem. Comm. 954(1983)により詳細に記載されている。

【0053】ポリマー前駆体溶液は、導電性基板上に薄い膜としてスピコートされ、そしてその後通例140℃から240℃の範囲で熱処理されて共役ポリ(フェニレン)ポリマーに転換される。

【0054】ビニル若しくはジエン単量体を用いる共重合もまたフェニレンコポリマーを得るように行うことができる。

【0055】必要な共役ポリマー膜を形成するために使用することができるさらに別の種類の材料は、主共役鎖に結合した巨大な側鎖基の存在によってあるいは共役ポリマーをその1つまたはそれ以上の成分が非共役である共重合体構造に組み入れることによってそれ自体溶液加

工可能であるかまたは熔融加工可能であるかのいずれかである共役ポリマーである。例えば、前者の例には以下ものがある。

(a) ポリ(4, 4'-ジフェニレンジフェニルビニレン) [PDPV] は、両方のビニレンの炭素がフェニル環により置換されているアリーレンビニレンポリマーである。それは、普通の有機溶媒に溶けるので薄い膜を形成できる。

(b) ポリ(1, 4-フェニレン-1-フェニルビニレン) とポリ(1, 4-フェニレンジフェニルビニレン) ポリマーはPPVの類似物質であり、それぞれ1つあるいは両方のビニレンの炭素がフェニル基と置換されている。それらは各々有機溶媒に溶け、キャストまたはスピニング被覆されて薄膜となる。

(c) 普通の有機溶媒中で溶液加工可能であり、また、長いアルキル序列(アルキルはオクチルと等しいかそれ以上に長い)に関しては、熔融加工も可能であるポリ

(3-アルキルチオフェン) ポリマー(アルキルは、プロピル、ブチル、ペンチル、ヘキシル、ヘプチル、オクチル、デシル、ウンデシル、ドデシル等のいずれか1つ)。

(d) ポリ(3-アルキルピロール) ポリマーはポリ(3-アルキルチオフェン) ポリマーと類似であることが予想される。

(e) ブチルよりも大きなアルキルを有するポリ(2, 5-ジアルコキシ-p-フェニルビニレン) ポリマーは溶解加工可能である。

(f) ポリ(フェニルアセチレン) は主鎖中の水素原子がフェニル基に置換されたポリアセチレンの誘導体である。この置換によって、材料は可溶性にされる。

【0056】ポリマーの必要な加工性を得、導電性基板(電荷注入接触層)上への要求される均一な薄膜の形成を容易にするために共役ポリマーと他のポリマーとのポリマーブレンドを形成するのが適している場合もある。

【0057】共役ポリマーの膜を形成するのに、そのようなコポリマーまたはポリマーブレンドを用いるとき、前記共役ポリマーの膜を組み入れる電界発光素子の活性部位は、コポリマーあるいはポリマーブレンドのバレーションしきい値と同じかそれ以上に大きい多量の共役ポリマー部位を含まなければならない。

【0058】半導体電界発光層は、異なったバンドギャップおよび/または多数電荷種を有するポリマー層を有する複合層として形成されているので、例えば、電荷注入層から電界発光素子の特定の領域内への注入電荷の集積が達成される。複合層は、ポリマー層の連続析出によって形成することができる。種々の膜がスピニングまたはドローコーティングによって共役ポリマーに前駆体の形で付着される場合、共役ポリマーへの転化工程によって膜が不溶性にされるので、その後の層をこの先に付着された膜を溶解することなく同様に付与することができる。

【0059】

【実施例】

「実施例1」図2および図3に関し、電界発光素子を以下のように構成した。

【0060】ガラス基板、例えば、約1mmの石英または、ホウケイ酸塩ガラス1の上面に第1の電荷注入接触層2を形成した。電荷注入接触層は、約20nmの厚さの層を作るためのシャドウマスクを介してアルミニウムを熱蒸着させて形成した。前記シャドウマスクを使用して幅2mm、間隙2mmおよび長さ15mmの一連の平行に並ぶ細片状であるパターンを形成する。得られたアルミニウム電荷注入接触層を次に薄い表面酸化物層3を形成するために空気にさらした。このようにして電荷注入接触層を形成した。

【0061】10~25gのメタノールにつき1gのポリマー濃度のPPVの前駆体メタノール溶液を前記の結合基板にスピニングした。これは、結合基板の全表面にポリマー溶液を塗布し、次にその上面を水平に保持して5000r.p.m.までの速度で軸の回りに回転することによって達成された。次に、得られた基板とポリマー前駆体層を真空オーブン中、300℃の温度で12時間加熱した。この熱処理によって、前駆体ポリマーはPPVに変換された。得られたPPV膜4は100から300nmの厚さであった。必要最低限の膜の厚さを膜のコンダクタンスによって設定し、下限は20nm程度である。しかしながら、好ましい厚さの範囲は20nmから1μmの範囲である。

【0062】次に、第2の電荷注入接触層5を、PPV膜の上に金あるいはアルミニウムを蒸着させて形成した。シャドウマスクを再度使用して、PPV膜の表面上にパターンを形成し、幅2mm、間隙2mm、長さ15mmの平行に並ぶ一連の細長い小片を第1の電荷注入接触層に直角に回転して形成した。第2の電荷注入接触層の厚さは、20から30nmの範囲であった。このようにして正孔注入接触層を形成した。

【0063】電荷注入接触層のうち少なくとも1つは、素子の平面に垂直に電界発光素子から発光させるために透明、若しくは半透明であることが望ましい。本実施例では、このことは金、若しくはアルミニウムの層が30mm以下の厚さである時になされる。PPV層の厚さが約200nmの素子に関し、電荷注入および強いエレクトロルミネセンスの発現に対するしきい電圧は、約40ボルトである。この電圧は、 $2 \times 10^6 \text{ V cm}^{-1}$ のしきい電界を印加する。 2 mA/cm^2 の電流密度において、半透明の電極を通してなされる発光は、通常の照明条件で、肉眼で見られた。素子の出力は、100KHzまでの周波数にはほとんど依存しなかった。このことは、電界発光素子の応答時間が非常に短く、10マイクロ秒より速いことを示している。使用に際し、電界発光素子は、特別な用心をすることなく空気中で操作され、

機能低下の兆候はなにも示さなかった。

【0064】素子から出力された光を、格子モノクロメータにより分光し、シリコン光起電力のセルで検出し、そして、測定を室温（20℃）とし、光学通路を有する低温保持装置に素子を保持して低温での両方で行った。その結果を図4に示す。電界発光素子のスペクトルは、ピークが温度によってその位置をわずかにシフトして0.15 eVだけ異なって690 nmから500 nm（1.8 eVから2.4 eV）のスペクトル範囲で発光することを示している。

【0065】電界発光素子層と比べて低い仕事関数を有するので電子注入接触層として用いるのに適した他の材料は、（非晶質あるいは結晶性）のn-ドープシリコン、酸化膜を有するシリコン、純粋、若しくは金などの他の金属との合金であるアルカリ、およびアルカリ土類金属類である。また、“n形ドープ”共役ポリマーの薄膜を、金属層と電界発光ポリマー層との間に介在させて、電子注入接触層を形成することもできる。

【0066】電界発光層と比べて高い仕事関数を有するので正孔注入層として用いるのに適した他の材料は、インジウム/スズ酸化物（可視スペクトル部で透明である）、白金、ニッケル、パラジウム、および黒鉛である。また、電気化学的に重合されたポリピロール、ポリチオフェン等の“p形ドープ”共役ポリマーの薄膜を金属層と電界発光ポリマー層との間に介在させることによって正孔注入層を形成することもできる。

【0067】前記材料は、以下のように付与することができる。すなわち、白金のような融点温度が特に高い金属を除いた全ての金属は、蒸着により付着させることができる。インジウム/錫の酸化物を含む全ての合金は、DCまたはRFスパッタリング法および電子ビーム蒸着法を用いて付着させることができる。非晶質シリコンの付着はシリコンとホスフィンなどのドーピング剤との混合物からグロー放電付着法によって行うことができる。

【0068】以下は、これらの材料を使った構造物の例である。

「実施例2」本実施例の構造物は、ガラス基板上の一連の層として付着される。まず、導電性であるが透明な酸化インジウムを酸素の存在下にインジウムターゲットからイオンビームスパッタリングする方法によって基板上に付着させた。

【0069】試料は 10^{-8} mbarのベース圧力の低温ポンプ装置中で調製する。ここで使用する全ての付着法に関し、基板は水冷し、室温に保持する。代表的には 2×10^{-4} mbarの酸素圧力の存在下の代表的に0.1 nm/秒の付着速度でのインジウムターゲットからのイオンビームスパッタリングによって、代表的に 5×10^{-4} Ω cmの抵抗率を有する透明な酸化インジウムの膜が形成された。代表的に、100 nmの厚さによって単位面積当たり約50 Ωの比シート抵抗が与えられる。そ

のような膜は可視スペクトル部において90%より好ましい光学透過係数を有している。

【0070】これらの膜は、X線および電子解析測定から判定して非晶質構造である。

【0071】次に、PPV層を上記実施例1に記載した手順を用いて酸化インジウム層上に付着させる。最後に、アルミニウムの上部接触層を代表的には50 nmの厚さに蒸着によって付着させる。この構造物を操作すると、酸化インジウム接触層が正の接触層として、およびアルミニウム接触層が負の接触層として機能する。発光は酸化インジウム層を通して見られる。

【0072】このようにして構成された、70 nmの厚さのPPV層および 2 mm^2 の活性領域を有する構造物の結果を図5および図6に示す。発光に関連する電流のしきい値は図5において約1.4 Vであることがわかる。素子の分光的に総和した光出力の強度の変動を図6に電流の関数として示す。

「実施例3」この構造物の製造は上部金属接触層までは上記実施例2と同じである。本実施例では、蒸着によって銀とマグネシウムとの合金を付着させて、負の接触層として作用する上部接触層を形成する。蒸着は1:10のモル比の銀およびマグネシウム粉末の混合物をボート中で加熱することによって実施され、代表的に50 nmの厚さの膜が付着された。

【0073】マグネシウムは、小さい仕事関数を有するので、負の電極用の材料として望ましいものである。銀を添加して合金を形成することによって、ポリマー層への金属膜の接着性およびその酸化に対する耐性が改善される。これらの試料の電流/電圧および電界発光特性は、実施例2に記載したものと類似していた。

「実施例4」これらの構造物は負の電極として作用する非晶質シリコン-水素合金層および正の電極として作用する酸化インジウムを用いて制作した。アルミニウムまたはクロムの蒸着金属接触層を有するガラス基板を使用する。次に、非晶質シリコン-水素膜を以下に詳細に説明する高周波加熱（RF）スパッタリングによって付着させた。

【0074】使用するRFスパッタリング装置は2つのターゲットおよび液体窒素冷却ゲッターを有し、8 cmのターゲット-基板間隔で操作される。処理室は 5×10^{-8} mbarのベース圧力である。マグネトロンターゲットに3 mmの厚さにn-ドープSiウエハ層を担持させる。試料を付着させる前に1~2時間予備スパッタリングすることによってこれらのターゲットを浄化する。上記のようにして製造された基板を、3 cmの厚さのCuおよびAl基板の裏側の温度が250~300℃になるように放射加熱する。基板を約6 r. p. m. で回転する。使用するスパッタリングガスは0.007~0.013 mbarの圧力において30%の H_2 を含むArであり、蒸着の間連続して処理室に通ず。使用するRF

出力は2Wの反射出力を有して250Wである。付着速度は代表的には12nm/分であり、この場合1μmの膜圧に対し1.5時間の付着時間を要する。

【0075】得られた非晶質Siは赤茶色である、 $5 \times 10^6 \sim 5 \times 10^8 \Omega \text{cm}$ の直流抵抗率を有している。

【この抵抗率は試料の上側または下側に長さ3mm、間隔0.25mmで2つのAlパッドを蒸着し、それら2つのコンタクト間の抵抗を測定することによって求めた】。

【0076】次に、PPV層を上記実施例1に記載したように非晶質シリコン-水素層に付与し、引続き実施例2で記載した手順を用いてこのPPV層の上に直接酸化インジウム層を付着させた。

【0077】上記工程を用いて製造した面積14m²、シリコン-水素層の厚さ1μm、PPV層の厚さ40nmおよび酸化インジウム層の厚さ250nmの構造体に関して得られた結果を図7および図8に示す。図7に、順バイアス（酸化インジウム層が正）における素子の電流対電圧特性を、また図8に電流に対する総和光出力の変動を示す。電荷注入および発光は約17Vで開始され、本実施例の場合抵抗性のシリコン-水素層が存在するために、このしきい値を越えた電流の上昇は、例えば図5に示すようにそのような層を有しない構造体に見られるよりなだらかである。

【0078】また、この種の構造体は逆バイアス（シリコン-水素接触層に対して酸化インジウム接触層が負）においてより弱い電界発光を示した。しかしながら、順バイアスで操作するのが好ましい。

「実施例5」酸化インジウム最上層を半透明の金またはアルミニウム層に置き換えたことを除いて実施例4におけるように製造した。約20nmの厚さの最上層を有して製造された構造体はこの接触層を通して発光が見られた。これらの素子は、上述の各実施例と同様の特性を示した。

【0079】実施例4の製造方法は、実施例2および実施例3に示した接触層にも適用することができる。

【0080】シリコン/水素層およびインジウム酸化物層を付着するためのそれ自体公知の他の方法がある。シリコンの場合、これは、シランのグロー放電と蒸着を含む。インジウム酸化物の場合、他の可能性として、インジウムと共にスズを含有させて、ここで用いているインジウム酸化物に電気的特性が非常に近似している酸化インジウムスズ（ITO）を生成することが考えられる。付着方法は、蒸着、RFおよび直流スパッタリングを含む。

【0081】電荷注入接触層の厚さの選択は、用いられる付着技術と、接触層における所望の光学的透明度によって決定される。電荷注入の容易性は、電荷注入接触層を複合層として構成することで改善される。この複合層は、正孔および電子を夫々注入するための酸化および還

元共役ポリマーの薄膜層を包含する。これらの特別な共役ポリマー層は、活性状態の電界発光ポリマーと同じであっても違っていてもよい。このような物質をドーピングする方法は、この分野においては周知であり、「導電性ポリマーハンドブック」（ティ. ジェイ. スコッティム（T. J. Skotheim））に明確に記載されている。

【0082】少なくとも1つの電荷注入接触層は、素子の平面に垂直に発光させるため透明または半透明であるのが好ましい場合があるが、例えば、素子の平面内での放射しか要求されない場合には必ずしもその限りではない。

【0083】製造される電界発光素子のサイズの限界は、スピンコーティングに使用することができる基板のサイズによって決定される。例えば、このようにして直径15cmのシリコンウェファのコーティングが行われている。さらに、広い面積のコーティングを行うためには、ドローコーティングなどの技術がその代わりに用いられる。従って、平方メートルの範囲の面積を有する共役ポリマーを用いた電界発光素子を構成することが実現できる。

【0084】PPVを含む共役ポリマーの少なくともいくつかは、付着工程が蒸着のために非常に高い温度を必要とする金属層の付着、あるいは非晶質シリコン層を付着した後、活性電界発光領域を決定するための写真製版工程を行う等の後処理に耐えることができる。前駆体ポリマーを共役ポリマーおよび要求される電界発光素子のタイプによって決まる基板に付与する方法としてスピンまたはドローコーティングを使用するのがPPVを使用する場合には好ましいが、スピンおよびドローコーティング並びに熔融加工の全てを共役ポリマーを基板上に付着させるのに使用することができる。

【0085】電界発光素子は電界発光が役に立つ種々の用途に適用することができる。それは従来半導体LEDが使用されていたところにも使用することができる。それはまた従来液晶が使用されていたところにも使用することができる。電界発光素子は液晶の望ましい代替物とされる多くの特性を有している。

【0086】電界発光素子は液晶ディスプレイと違って発光するので、視覚が広い。さらに、大面積液晶ディスプレイが遭遇した基板の平面性および間隔に関する問題を、大面積LED素子は解決することができる。電界発光素子はマトリックスアドレス型ディスプレイ、例えば、テレビジョンおよびコンピュータディスプレイに特に適している。マトリックスアドレス型ディスプレイに使用する電界発光素子の一例を図3に示す。ここでは、各電荷注入接触層が半導体層のいずれかの面に細長くいく筋にも付着され、一方の接触層の細片が他方の接着層の細片と直交している。ディスプレイの画素と呼ばれる個々の電界発光素子、すなわち半導体層の各領域の

マトリックスのアドレス指定は下方の電荷注入接触層中の特定の細片および上方の電荷注入層の前記第1の細片に直角の特定の細片を選択することによって達成される。さらに、電界発光素子は前記のように応答速度が速いので、テレビジョン受像器として使用するのに適しており、特に発光色を共役ポリマー、またその半導体バンドギャップを選択することによって制御することができるので、混色に適するグリーン、レッドおよびブルー画素を用いるカラーディスプレイが電界発光素子中に異なる共役ポリマーを配置することによって可能となる。

【0087】電界発光素子は、例えば車両ダッシュボードの表示器、調理器またはビデオ記録器の個々の造形素子としても使用することができる。各素子は目的とする用途に要求される形状に製造することができる。さらに、電界発光素子は平らである必要がないので、例えば、その製造後に三次元的形状、例えば車両または航空機の風防ガラスの形状に倣って成形することができる。そのように使用するためには、前駆体ポリマーをポリエステル、ポリフッ化ビニリデンまたはポリイミドなどの透明ポリマーフィルムのような適切な基板に付与する必要がある。前駆体ポリマーをそのような可撓性ポリマーフィルムに付与するならば、ロール上での電界発光素子の連続製造が可能となる。あるいはまた、前駆体ポリマーを、例えばドローコーティング法を用いて予め製造された形基板上に付与することもできる。

【0088】最後に、電界発光素子は、それを光学繊維および/または薄膜導波管と効果的に光学結合させて光源として作用するように準備された構造体上で直接製造する光通信への用途が考えられる。同様な用途が“サイエンス・アンド・テクノロジー・イン・ジャパン”、8

～14頁(1989年7月)に「Optical Information Processing」という題名でサトシ・イシハラによって記載されている。

【0089】電界発光素子光源はレーザーとして適切に使用することができる。

【0090】最後に、光学繊維あるいは、薄膜の凹凸を有する電界発光素子を能率的に光学結合させて光情報を活用すべく、所定の下層上に直接組み合わせることにより光通信に活用されることが予想される。類似の記事として日本のサトシ・イシハラにより1989年7月の“Optical Information Processing”の8頁～14頁の記載がある。

【図面の簡単な説明】

【図1】共役ポリマーを配設するための反応図式を示す図である。

【図2】本発明に係る電界発光素子の概略図である。

【図3】本発明に係る電界発光素子の概略図である。

【図4】図2並びに図3に記載された素子の発光出力を示すグラフである。

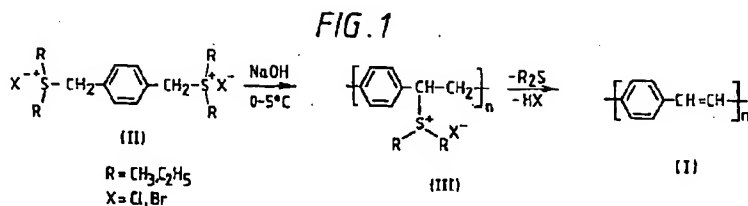
【図5】本発明の他の実施態様に係る電界発光素子のそれぞれ電流対発光および出力強度対印加電圧を示すグラフである。

【図6】本発明の他の実施態様に係る電界発光素子のそれぞれ電流対発光および出力強度対印加電圧を示すグラフである。

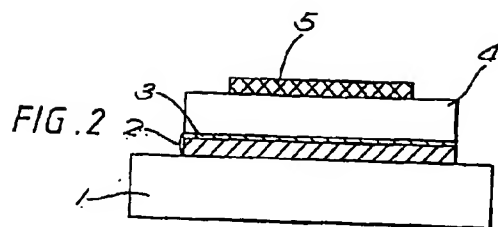
【図7】本発明のさらに他の実施態様に係るそれぞれ電流出力および電界発光強度を示すグラフである。

【図8】本発明のさらに他の実施態様に係るそれぞれ電流出力および電界発光強度を示すグラフである。

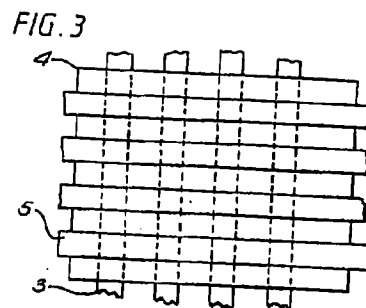
【図1】



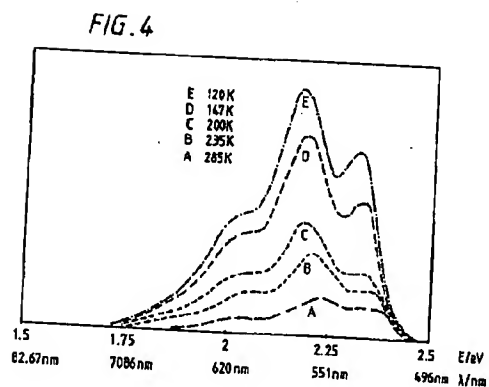
【図2】



【図3】

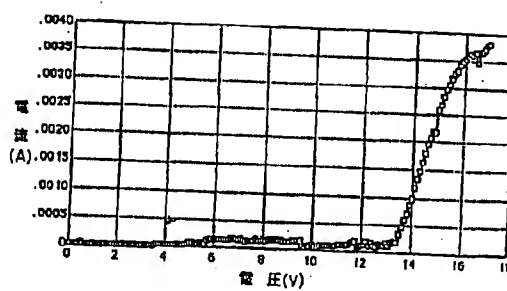


【図4】

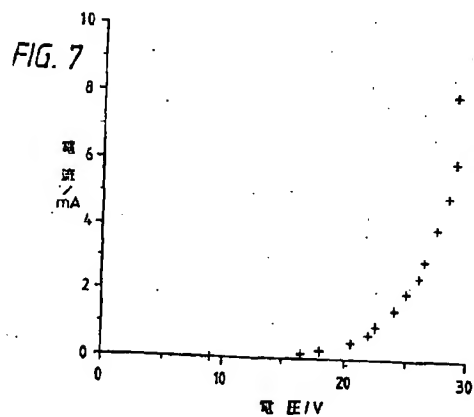


【図5】

FIG. 5

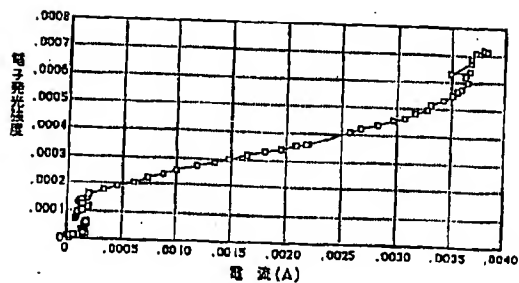


【図7】

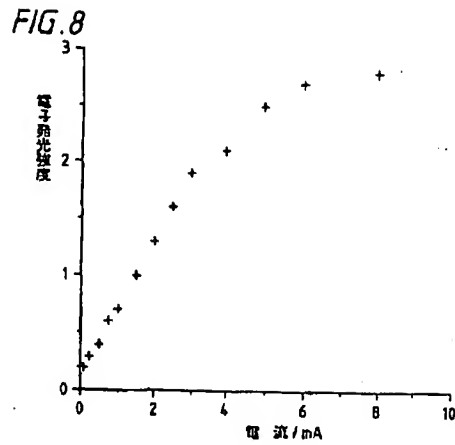


【図6】

FIG. 6



【図8】



フロントページの続き

(51) Int. Cl. ⁶

H 0 5 B 33/10
33/22
33/26

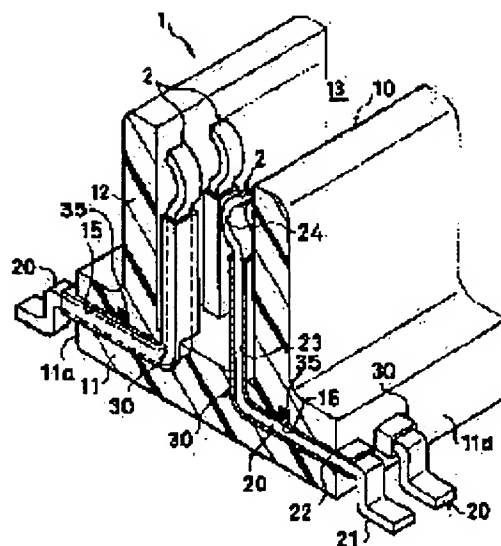
識別記号

F I

H 0 5 B 33/10
33/22
33/26

(72) 発明者 バローグス ジェルミー ヘンリー
アメリカ合衆国、ニューヨーク00516 コ
ールドスプリング パーソネイジ ストリ
ート 11

(72) 発明者 ブラッドリー ドナル ドナット コーナ
ー
イギリス国、ケンブリッジ シービー3
0ディー5チャーチル カレッジ (番地な
し)



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-176521

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁴

級別記号

P I

H 0 1 R 13/648

H 0 1 R 13/648

審査請求 未請求 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平10-249915

(22) 出願日 平成10年(1998) 9月3日

(31) 優先権主張番号 特願平9-272274

(32) 優先日 平9(1997)10月6日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000105338

ケル株式会社

東京都多摩市永山6丁目17番地7

(72) 発明者 成井 文雄

東京都多摩市永山6-17-7 ケル株式会
社内

(72) 発明者 島田 昭幸

東京都多摩市永山6-17-7 ケル株式会
社内

(72) 発明者 青木 大八

東京都多摩市永山6-17-7 ケル株式会
社内

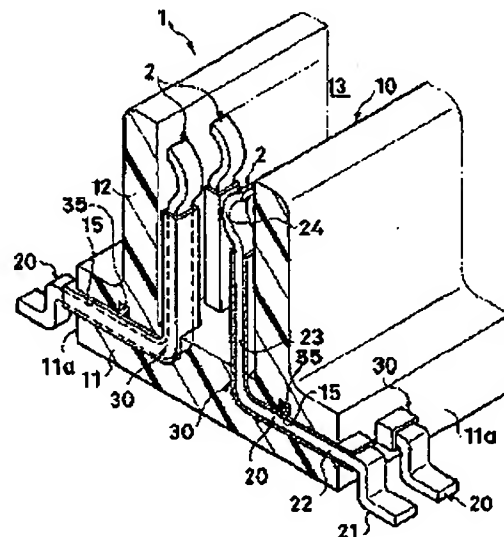
(74) 代理人 弁理士 大西 正悟

(54) 【発明の名称】 シールドコンタクトおよびこれを用いたコネクタ

(57) 【要約】

【課題】 隣接するコンタクトとの間での信号のクロストークの発生が少なく、信号の高速伝送を可能とする。

【解決手段】 コンタクト本体20の接触部24および接続脚部21の間においてシールド部材30で覆ってコンタクトが構成され、このシールド部材30が内周側絶縁層と外周側導電層とから構成される。コネクタ1は、複数のコンタクト2をコネクタボディ10により整列保持して構成され、シールド部材30の導電層がグラウンド線35を介して外部のグラウンドに接続される。このため、隣接コンタクトとの間で信号のクロストークの発生を導電層により阻止することができ、このコンタクトを挟み込んで配設した場合でもクロストークのおそれなくなり、信号の高速伝送が可能となる。



(2)

特開平11-176521

1

2

【特許請求の範囲】

【請求項1】 導電材料によって形成され、一端側に相手コンタクトと当接接続される接触部を有するとともに、他端側にプリント基板の配線パターンや導線等と接続される接続脚部を有してなるコンタクト本体と、前記接触部および前記接続脚部の間において前記コンタクト本体の外周を覆って設けられたシールド部材とからなり、

前記シールド部材が、前記コンタクト本体の外周を覆って形成された絶縁材料製の絶縁層とこの絶縁層の外周を覆って形成された導電材料製の導電層とから構成されていることを特徴とするシールドコンタクト。

【請求項2】 前記絶縁層が、前記コンタクト本体の外周に絶縁材料をコーティングして形成され、前記導電層が、前記絶縁層の外周に金属メッキを施されて形成されていることを特徴とする請求項1に記載のシールドコンタクト。

【請求項3】 前記絶縁層および前記導電層が、薄いシート状の絶縁材料からなるフィルムの上に薄いシート状の絶縁フィルムを重ね合わせたフィルム状シートからなり、

2枚の前記フィルム状シートにより前記コンタクト本体の中間部を挟むとともに前記2枚のフィルム状シートを密着させて前記シールド部材が形成されていることを特徴とする請求項1に記載のシールドコンタクト。

【請求項4】 請求項1～3のいずれかに記載のシールドコンタクトを複数個、絶縁材料製のコネクタボディにより整列保持して構成されるコネクタであって、

前記コネクタボディの外周から前記シールドコンタクトの中間部の一部および前記接続脚部が突出し、前記コネクタボディの外周に導電材料製のグランド層が形成され、前記シールドコンタクトの前記外面に突出する部分において前記導電層と前記グランド層とが当接して接続されており、

前記コネクタがプリント基板等のような取付部材に取り付けられるときに、前記グランド層が前記取付部材を介してグランド接続されることを特徴とするコネクタ。

【請求項5】 前記グランド層が前記コネクタボディの外周に施された金属メッキ層により形成されることを特徴とする請求項4に記載のコネクタ。

【請求項6】 前記グランド層が前記コネクタボディの外周に取り付けられた金属板により形成されることを特徴とする請求項4に記載のコネクタ。

【請求項7】 前記コネクタを前記取付部材に取り付ける時の位置決めとなる位置決めボスが前記コネクタボディの外周に形成されるとともに前記位置決めボスと嵌合する位置決め孔が前記取付部材に形成されており、前記グランド層が前記位置決めボスの表面を覆って形成され、前記位置決め孔の内周にグランド接続された導電材料製の層を有し、前記位置決めボスを前記位置決め孔に

挿入嵌合させて前記グランド層をグランド接続させるようになっていることを特徴とする請求項4に記載のコネクタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、コネクタに用いられ相手コンタクトに当接接続されるコンタクトと、このコンタクトを複数個、整列保持して構成されるコネクタに関する。

【0002】

【従来の技術】上記のようなコンタクトを有するコネクタとしては、図9に示すように構成されたレセプタクルコネクタ501やプラグコネクタ505が従来から知られている。これらのコネクタ501、505は互いに嵌合して、レセプタクルコネクタ501に設けられたレセプタクルコンタクト502と、プラグコネクタ505に設けられたプラグコンタクト506とが当接して電気接続されるようになっている。

【0003】このような両コンタクト502、506の当接接続に際して、接続信頼性を確保するには当接接触圧を所定圧以上とすることが要求され、この例ではレセプタクルコンタクト502がプラグコンタクト506に押されて外方に並がるように弾性変形するときの弾性力により接触圧を得ている。このような弾性接触力を確保するにはレセプタクルコンタクト502の上方への突出高さは所定高さとなる必要がある。また、両コンタクトの嵌合接続を行うのに必要な接触代を確保することも必要であり、この点からもレセプタクルコンタクト502の上方への突出高さおよびプラグコンタクトの突出長さが所定値となるように設定される。

【0004】また、このようなレセプタクルコネクタ501およびプラグコネクタ505においては、複数（多数）のレセプタクルおよびプラグコンタクト502、506をコネクタボディにより整列保持し、複数の信号伝送が可能とされている。近時においては、このような多極化の要求がますます強くなってきており、同時にコネクタを小型化する要求も強くなってきている。

【0005】

【発明が解決しようとする課題】以上のような要求から、コネクタ内においてコンタクトを細くするとともに挟ビッチで配列するような構成が採用されるようになってきているが、コンタクトの接触圧確保および接触代確保の要求からコンタクト高さはある程度以上確保する必要があり、細くて長いコンタクトが使用される傾向にある。ところが、このような細くて長いコンタクトを挟ビッチで配列した場合には、特に信号を高速伝送するときにはクロストークが発生しやすく、高速伝送特性が低下するという問題がある。

【0006】なお、クロストークを防止して高速伝送特性を向上させるために、例えば、整列保持されたコンタ

(3)

特開平11-176521

3

4

クトのうちのいくつかをグランド接続して、このようにグランド接続されたコンタクトの間に信号伝送用のコンタクトを配設する構成が従来から用いられている。このようにすれば、クロストークのおそれなくなり信号の高速伝送は可能となるが、グランド接続されたコンタクトは信号用として用いることができいため、より多くのコンタクトが必要となりコネクタが大型化するという問題がある。

【0007】本発明はこのような問題に鑑みてなされたものであり、隣接するコンタクトとの間での信号のクロストークの発生が少なく、信号の高速伝送が可能となるようなコンタクトを提供することを目的とし、さらに、このようなコンタクトを用いた、クロストークがなく、高い高速伝送特性を有するコネクタを提供することを目的としている。

【0008】

【課題を解決するための手段】このような目的達成のため、本発明のコンタクトは、一端側に接触部を有するとともに他端側に接続脚部を有してなる導電材料製のコンタクト本体と、接触部および接続脚部の間においてコンタクト本体の外周を覆って設けられたシールド部材とから構成され、このシールド部材が、コンタクト本体の外周を覆って形成された絶縁材料製の絶縁層とこの絶縁層の外周を覆って形成された導電材料製の導電層とから構成されている。

【0009】このような構成のコンタクトの場合には、例えば導電層をグランド接続しておけば、隣接コンタクトとの間で信号のクロストークの発生を導電層により阻止することができ、このコンタクトを狭ピッチで配設した場合でもクロストークのおそれなくなり、信号の高速伝送が可能となる。

【0010】なお、コンタクト本体の外周に絶縁材料をコーティングして絶縁層を形成し、この絶縁層の外周に金属メッキを施して導電層を形成することができる。また、絶縁層および導電層を薄いシート状の絶縁材料からなるフィルムの上に薄いシート状の絶縁フィルムを重ね合わせたフィルム状シートから形成しても良く、この場合には、2枚のフィルム状シートによりコンタクト本体の中間部を挟むとともにこれら2枚のフィルム状シートを密着させてシールド部材が形成される。いずれの場合も、比較的簡単にシールド部材で覆われたコンタクトを簡単に且つ容易に大量生産することができる。

【0011】一方、本発明に係るコネクタは、上記のように構成された複数のシールドコンタクトを絶縁材料製のコネクタボディにより整列保持して構成され、コネクタボディの外面からシールドコンタクトの中間部の一部と接続脚部が突出し、コネクタボディの外面に導電材料製のグランド層が形成され、シールドコンタクトにおけるコネクタボディ外面に突出する部分において導電層とグランド層とが当接して接続され、コネクタがプリント

基板等のような取付部材に取り付けられるときに、グランド層が取付部材を介してグランド接続される。

【0012】このコネクタの場合には、取付部材に取り付けられた状態でグランド層がこの取付部材を介してグランド接続されるため、このグランド層に当接して接続されている導電層がグランド接続された状態となる。各シールドコンタクトの中間部は絶縁層で覆われた上にさらに導電層により覆われているため、導電層がグランド接続されるとこの導電層により隣接するコンタクトとの間での信号のクロストークが防止される。このため、コネクタボディにより整列保持されたコンタクトの間隔が狭い場合（すなわち、狭ピッチで整列保持されている場合）でも隣接するコンタクト間でのクロストークが生じることがなく、高速伝送特性を向上させることができる。

【0013】なお、コネクタボディの外面に形成されるグランド層は、コネクタボディの外面に金属メッキを施したり、コネクタボディの外面に金属板を取り付けたりして、簡単に形成することができる。

【0014】また、コネクタを取付部材に取り付ける時の位置決めとなる位置決めボスをコネクタボディの外面に形成するとともにこの位置決めボスと嵌合する位置決め孔を取付部材に形成し、グランド層を位置決めボスの表面を覆って形成し、位置決め孔の内周にグランド接続された導電材料製の層を形成するのが好ましく、これにより、位置決めボスを位置決め孔に挿入嵌合させるだけで、簡単にグランド層をグランド接続させることができる。

【0015】

【発明の実施の形態】以下、図面を参照して本発明に係るコンタクトおよびこれを用いたコネクタの好ましい実施形態について説明する。まず、図1～図3を参照して本発明に係るコンタクトを用いたレセプタクルコネクタ1およびプラグコネクタ5について説明する。ここで、レセプタクルコネクタ1はレセプタクルコネクタボディ10により複数のレセプタクルコンタクト2を整列保持してインサートモールドにより作られている。また、プラグコネクタ5は絶縁材料製のプラグコネクタボディ50により複数のプラグコンタクト6を整列保持して構成されており、プラグコンタクト6はインサートモールドもしくは圧入によりコネクタボディ50に保持される。

【0016】レセプタクルコンタクト2は、コンタクト本体20とシールド部材30とからなり、側面視における形状が略J字状に形成されている。コンタクト本体20は導電材料によって形成され、レセプタクルコネクタボディ10の前後面11aから側方に突出してクランク状に折り曲げられた接続脚部21と、この接続脚部21に繋がって水平に伸びてレセプタクルコンタクト保持孔15内に位置する保持部22と、この保持部22から直角に折れ曲がって上方に伸びてレセプタクル側空間13

(4)

特開平11-176521

5

6

内に突出するリード部23と、このリード部23の先端に形成された接触部24とからなる。

【0017】リード部23は外方に広がる曲げ弾性変形が可能となるバネ性を有しており、接触部24は内側に向かって湾曲して形成されており、後述するプラグコネクタ5と当接接触するようになっている。

【0018】このように形成されたコンタクト本体20の中間部(保持部22およびリード部23)には、シールド部材30が被着されている。シールド部材30は、図3にその詳細を示すようにコンタクト本体20の外周に蒸着もしくはコーティングされた電気絶縁性を有するセラミックやプラスチック等の絶縁層31と、この絶縁層31の外周にメッキされた金やニッケル等の導電層32とからなる。

【0019】シールド部材30は、コンタクト本体20における保持部22およびリード部23の外周(中間部の外周)にのみ設けられ、基板の配線パターン等に半田付けされる接続脚部21および相手コンタクトと接触する接触部24には設けられていない。上記のコンタクト2においては、コンタクト本体20の幅Wが0.4mm程度である場合には、絶縁層31の厚さ11は2~10μm程度とし、導電層32の厚さ12は、0.1~2μm程度とすることが望ましい。

【0020】このように構成された複数のレセプタクルコンタクト2がインサートモールドされてレセプタクルコネクタボディ10により整列保持され、レセプタクルコネクタ1が構成される。レセプタクルコネクタボディ10は絶縁性を有する樹脂等のモールドにより作られ、矩形板状の基部11と、この基部11の上に矩形箱状に上方に延びて形成された外側壁部12とを有する。このため、基部11の上面側には外側壁部12により囲まれて上方に開口したレセプタクル側空間13が形成される。基部11には、基部11の前後面11aからレセプタクル側空間13に延びてレセプタクルコンタクト2の中間部が配設保持され、この中間部の外周がシールド部材30により覆われている。なお、レセプタクルコンタクト2は、レセプタクルコネクタボディ10において2列に並んで配設され、その接触部24はレセプタクル側空間13内に二列に並んで位置する。

【0021】上記インサートモールドに際して、長手方向に延びる一対のグランド線35が図1に示すように配設され、このグランド線35は全レセプタクルコンタクト2のシールド部材30に当接接触する。具体的には、グランド線35はシールド部材30の外周側の導電層32に接触し、このグランド線35は外部においてグランド接続されるようになっている。

【0022】次に、このように構成されたレセプタクルコネクタ1と嵌合されるプラグコネクタ5について図2等を参照して説明する。このプラグコネクタ5は、絶縁材料製のプラグコネクタボディ50に複数のプラグコン

タクト6を二列に並べて保持して構成される。プラグコネクタボディ50には、底壁部51、外側壁部52およびプラグコンタクト保持部54により囲まれるとともに下方に開口したプラグ側空間53が形成されている。

【0023】プラグコンタクト6は、導電材料によって形成されたコンタクト本体60と、このコンタクト本体60の中間部63に被着されるシールド部材70とから構成されている。コンタクト本体60は、底壁部51を貫通するとともにプラグコンタクト保持部54に保持されてプラグ側空間53に露出する接触部61と、プラグコネクタボディ50の外方に突出する接続脚部62と、接触部61と接続脚部62とを繋ぐ中間部63とから構成される。

【0024】シールド部材70は、レセプタクルコンタクト2のコンタクト本体20に被着されているシールド部材30と同様の構成であり、図4において括弧で囲んだ番号で示すように、コンタクト本体60の中間部63の外周を覆う絶縁材料製の絶縁層71と、この絶縁層71の外周を覆う導電材料製の導電層72とから構成される。なお、このシールド部材70は、接触部61と接続脚部62には形成されず、この部分ではコンタクト本体60が露出している。

【0025】プラグコネクタボディ50には、図示のように長手方向に延びる一対のグランド線75が配設され、このグランド線75は全プラグコンタクト6のシールド部材70に当接接触する。具体的には、グランド線75はシールド部材70の外周側の導電層72に接触し、このグランド線75は外部においてグランド接続されるようになっている。

【0026】このように構成された両コネクタ1、5を嵌合させると、各コンタクト2、6の接触部24、61同士が当接して両コンタクト2、6が接続され、信号の伝達が行われる。このとき、レセプタクルコンタクト2およびプラグコンタクト6においては、中間部外周がシールド部材30、70によって覆われている。このため、その導電層32、72に接触するグランド線35、75をグランド接続すれば、隣接するレセプタクルコンタクト2およびプラグコンタクト6間でのクロストークを防止することができ、高速信号伝送をクロストークの問題なしに行うことが可能となる。

【0027】次に、本発明に係るコネクタの異なる実施形態を、レセプタクルコネクタを例にして、図5および図6を参照して説明する。上記実施形態においては、レセプタクルコンタクト2をインサートモールドして保持する形式のレセプタクルコネクタ1について説明したが、この実施形態においては、レセプタクルコンタクト2がレセプタクルコネクタボディ210に圧入して取り付けられてレセプタクルコネクタ201が構成される。ここで使用されるレセプタクルコンタクト2は、図1等に示したコンタクトと同一構成であるので、同一部分に

(5)

特開平11-176521

7

8

同一番号を付してその説明を省略する。

【0028】レセプタクルコネクタボディ210は、絶縁樹脂をモールドして作られ、上方に開口した矩形箱状空間215を形成する側壁部211、底壁部212および左右フランジ部213を有している。また、底壁部212の下面212aには金属メッキもしくは導電材料の塗布により導電線を有するグラウンド層230が形成されている。ここで、コネクタボディ201の下面はフランジ部213の下面213aの方が下方に突出しているが、グラウンド層230は図示のように、底壁部212の下面212aからフランジ部213の下面まで繋がって覆っている。フランジ部213の下面にはプリント基板に取り付けるときの位置決めボス217がそれぞれ下方に突出して設けられているが、グラウンド層230はこの位置決めボス217の表面も覆って形成されている。

【0029】各レセプタクルコンタクト2は下方から接触部24を空間215内に突出させるように圧入されて2列に並んで保持される。このため、保持部22および接続脚部21はコネクタボディ201の下面側に位置し、保持部22を覆うシールド部材30はコネクタボディ201の下外面212aのグラウンド層230に当接する。このため、シールド部材30の導電層32はグラウンド層230と当接接続される。なお、この接続を補うため、導電層32とグラウンド層230との当接部に導電性ペーストを塗布するのが好ましい。

【0030】このように構成されたレセプタクルコネクタ201は、プリント基板300に取り付けられる。この取付のため、プリント基板300には位置決めボス217を挿入させて受容する位置決め孔302（スルーホール）が形成されている。位置決め孔302の内周面には導電層303が形成され、この導電層303はプリント基板300の表面に延び、さらに、配線パターンを介してアース接続（グラウンド接続）されている。プリント基板300の表面には、各レセプタクルコンタクト2の接続脚部21と接合される配線パターン301が形成されており、位置決めボス217を位置決め孔302に挿入させるとともに接続脚部21を配線パターン21に半田接合させてレセプタクルコネクタ201がプリント基板300にサーフェスマウントされるようになっている。

【0031】このようにレセプタクルコネクタ201がプリント基板300にサーフェスマウントされた状態で、位置決めボス217が位置決め孔302に嵌合するので、グラウンド層230がグラウンド接続される。この結果、各レセプタクルコンタクト2のシールド層30を構成する導電層32がグラウンド接続される。このため、このレセプタクルコネクタ201を、例えば、図2に示すプラグコネクタと嵌合して信号伝送を行うときに、導電層32により隣接するコンタクト間でのクロストークが効果的に防止され、高遠伝送特性が向上する。

【0032】なお、この実施形態においては、グラウンド層230を金属メッキもしくは導電材料を塗布して形成されているが、金属板をコネクタボディの下面に貼り付けて形成しても良い。

【0033】上記の実施形態においては、シールド部材30、70を構成する絶縁層31、71および導電層32、72をコンタクト本体20、60にコーティング、メッキ等により形成しているが、本発明はこのような構成に限られるものではなく、コンタクト本体の外周をフィルムで覆ってシールド部材を設けるようにしてもよい。例えば、図7および図8に示すように、コンタクト本体120の両側から2枚のフィルム状シールド部材130で挟持するように固着して、コンタクト本体120をシールドしたレセプタクルコンタクト102を形成してもよい。

【0034】フィルム状シールド部材130は、ポリイミドテープ等の電気絶縁性を有する絶縁フィルム131と、この絶縁フィルム131の片面に固着されたアルミもしくは銅フィルム等の導電フィルム132とから構成されている。そして、コンタクト本体120側に絶縁フィルム131面が位置するように、コンタクト本体120を2枚のフィルム状シールド部材130によって挟持するようにした状態で接着などにより密着させる。

【0035】これにより、コンタクト本体120の外周にしっかりとフィルム状シールド部材130を被着させることができ、また、隣接するコンタクト本体120、120の間に位置するフィルム状シールド部材130、130同士もしっかり密着させることができる。従って、このように構成されたレセプタクルコンタクト102をレセプタクルコネクタボディにインサートモールドしてレセプタクルコネクタを形成すれば、コネクタを容易に製造することができる。

【0036】なお、絶縁フィルム131の表面に導電フィルム132を固着したフィルム状シールド部材130を密着させる代わりに、絶縁フィルムと導電フィルムとをそれぞれ別々に密着させても良い。この場合には、コンタクト本体の外周を2枚の絶縁フィルムにより挟持して密着させ、次にこのように絶縁フィルムが密着されたコンタクト本体の外周を2枚の導電フィルムにより挟持して密着させてシールド部材が形成される。

【0037】上記のように、コンタクト本体120の外周にフィルム状シールド部材130を被着させる場合には、コンタクト本体120の形状は前記コンタクト本体20のように略J字状に形成されているものよりも、比較的ストレートな形状に形成されているもののほうが適している。しかし、複雑な形状に形成されているコンタクト本体には用いることができないというのではなく、略J字状に形成されているコンタクト本体にももちろん用いることができる。

【0038】上記のように構成されたレセプタクルコネ

(6)

特開平11-176521

9

10

クタ1等においては、シールド部材30、230の厚さは厚くても12 μ m程度とし、フィルム状シールド部材130を用いた場合でもその厚さは厚くても0.02～0.03mmとすることが望ましい。従って、従来のレセプタクルコンタクトに比べてレセプタクルコンタクト2、102における寸法の増加が少ないため、従来のレセプタクルコネクタと同一の構成でレセプタクルコネクタ1等を形成することができる。

【0039】このため、レセプタクルコネクタボディ10等におけるレセプタクルコンタクト保持孔15等の形状寸法も、従来のレセプタクルコンタクト保持孔の形状寸法に対して若干の寸法変更を行うだけで良く、レセプタクルコネクタ1等の製作を容易に行うことができる。

【0040】

【発明の効果】以上説明したように、本発明に係るコンタクトは、コンタクト本体の外周をシールド部材により覆って構成され、このシールド部材が、コンタクト本体の外周を覆って形成された絶縁材料製の絶縁層とこの絶縁層の外周を覆って形成された導電材料製の導電層とから構成されているので、導電層をグラウンド接続しておけば、隣接コンタクトとの間で信号のクロストークの発生を導電層により阻止することができ、このコンタクトを挟ビッチで配設した場合でもクロストークのおそれなくなり、信号の高速伝送が可能となる。

【0041】なお、コンタクト本体の外周に絶縁材料をコーティングして絶縁層を形成し、この絶縁層の外周に金属メッキを施して導電層を形成することができる。また、絶縁層および導電層を薄いシート状の絶縁材料からなるフィルムの上に薄いシート状の絶縁フィルムを重ね合わせたフィルム状シートから形成しても良く、この場合には、2枚のフィルム状シートによりコンタクト本体の中間部を挟むとともにこれら2枚のフィルム状シートを密着させてシールド部材が形成される。いずれの場合も、比較的簡単にシールド部材で覆われたコンタクトを簡単に且つ容易に大量生産することができる。

【0042】一方、本発明に係るコネクタは、上記のように構成された複数のシールドコンタクトを絶縁材料製のコネクタボディにより整列保持して構成され、導電層がコネクタボディ外面に形成されたグラウンド層と当接接続され、このコネクタが取付部材に取り付けられた状態でグラウンド層が取付部材を介してグラウンド接続されるため、コンタクトの導電層がグラウンド接続され、この導電層により隣接するコンタクトとの間で信号のクロストークが防止される。このため、コネクタボディにより整列保持されたコンタクトの間隔が狭い場合（すなわち、挟ビッチで整列保持されている場合）でも隣接するコン

タクト間でのクロストークが生じることがなく、高速伝送特性を向上させることができる。

【0043】なお、コネクタボディの外面に形成されるグラウンド層は、コネクタボディの外面に金属メッキを施したり、コネクタボディの外面に金属板を取り付けたりして、簡単に形成することができる。

【0044】また、コネクタを取付部材に取り付ける時の位置決めとなる位置決めボスをコネクタボディの外面に形成するとともにこの位置決めボスと嵌合する位置決め孔を取付部材に形成し、グラウンド層を位置決めボスの表面を覆って形成し、位置決め孔の内周にグラウンド接続された導電材料製の層を形成するのが好ましく、これにより、位置決めボスを位置決め孔に挿入嵌合させるだけで、簡単にグラウンド層をグラウンド接続させることができる。

【図面の簡単な説明】

【図1】本発明に係るレセプタクルコネクタ一例を示す斜視図である。

【図2】本発明に係るプラグコネクタの一例を示す斜視図である。

【図3】上記レセプタクルおよびプラグコネクタを嵌合のため対向した状態を示す断面図である。

【図4】本発明に係るコンタクトの一部を拡大して示す断面図である。

【図5】本発明に係るレセプタクルコネクタの異なる例を示す側面図である。

【図6】このレセプタクルコネクタを図5の矢印VI-VIに沿って示す断面図である。

【図7】本発明に係るコンタクトの異なる構成を示す斜視図である。

【図8】上記コンタクトの図7におけるVIII矢視の拡大図である。

【図9】従来のレセプタクルおよびプラグコネクタの断面図である。

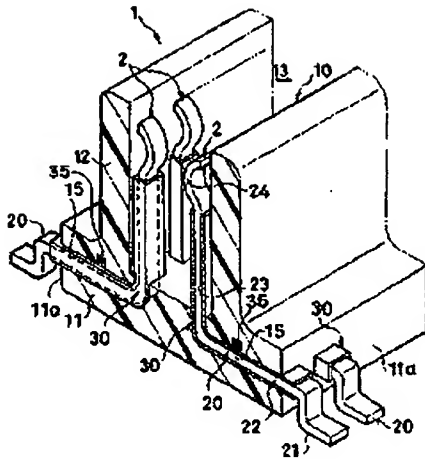
【符号の説明】

- 1 レセプタクルコネクタ
- 2、102、202 レセプタクルコンタクト
- 5 プラグコネクタ
- 6 プラグコンタクト
- 10、210 レセプタクルコネクタボディ
- 20、120 レセプタクルコンタクト本体
- 35 グラウンド線
- 50 プラグコネクタボディ
- 60 プラグコンタクト本体
- 30、70、130 シールド部材
- 230 グラウンド層

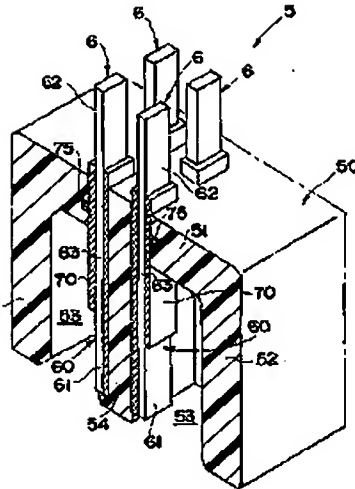
(7)

特開平 1 1 - 1 7 6 5 2 1

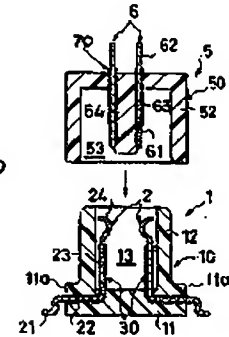
【图 1】



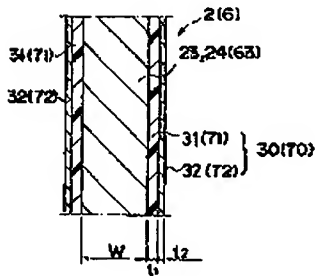
【図2】



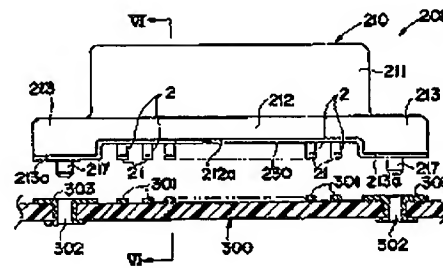
【图3】



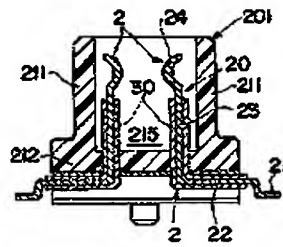
【图4】



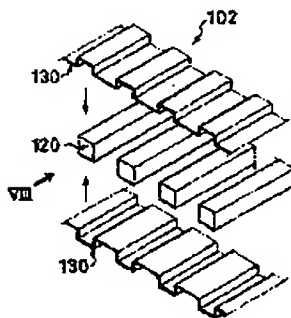
【图5】



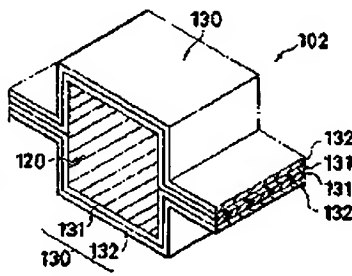
【図6】



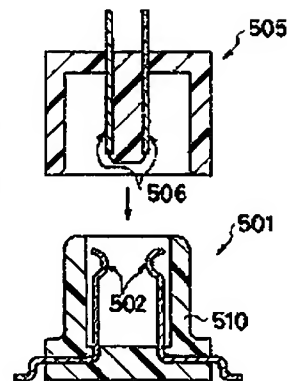
【圖 7】



【圖 8】



【图9】



AP

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

014219875 **Image available**

WPI Acc No: 2002-040573/200205

Related WPI Acc No: 2001-662134

XRPX Acc No: N02-030055

Driving of active matrix electronic device e.g. mobile telephone, video camera, involves setting length of sustain period in each sub-frame periods to specified value

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); KIMURA H (KIMU-I)

Inventor: KIMURA H

Number of Countries: 002 Number of Patents: 002

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
US 20010022565	A1	20010920	US 2001797994	A	20010305	200205 B
JP 2001324958	A	20011122	JP 200163419	A	20010307	200210

Priority Applications (No Type Date): JP 200067793 A 20000310

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
US 20010022565	A1		64	G09G-003/32	
JP 2001324958	A		40	G09G-003/30	

US 20010022565 A1 64 G09G-003/32

JP 2001324958 A 40 G09G-003/30

Abstract (Basic): US 20010022565 A1

NOVELTY - A frame period of a gate signal line is divided into n' sub-frame periods, each having corresponding address periods and sustain periods. The length of the sustain period is controlled and set to specified value in powers of two. Each sub-frame periods has period equivalent to the overlapping of address period with sustain period.

DETAILED DESCRIPTION - An INDEPENDENT CLAIM is also included for electronic device.

USE - For driving active matrix electronic device (claimed) using organic light emitting diode (OLED) element such as video camera, digital camera, goggle type display, sound reproduction device specifically a car radio equipment, personal computer, image playback apparatus such as digital video disk (DVD) player, car navigation

BEST AVAILABLE COPY

system, portable type or domestic sound producing device such as car radio system and audio compo system, notebook personal computer, game equipment, portable information terminal such as mobile computer, mobile telephone, mobile game equipment and electronic book.

ADVANTAGE - Increases duty ratio by arbitrarily setting sustain periods and hence the various problems due to small duty ratio are avoided and the image quality is improved. Avoids suppression of sustain periods and hence reduces the operating frequency of driver circuit and power consumption.

DESCRIPTION OF DRAWING(S) - The figure shows the timing chart of simultaneous selection of gate signal lines.

pp; 64 DwgNo 1A/37

Title Terms: DRIVE; ACTIVE; MATRIX; ELECTRONIC; DEVICE; MOBILE; TELEPHONE;
VIDEO; CAMERA; SET; LENGTH; SUSTAINED; PERIOD; SUB; FRAME; PERIOD;
SPECIFIED; VALUE

Derwent Class: P85; T04; W01; W04

International Patent Class (Main): G09G-003/30; G09G-003/32

International Patent Class (Additional): G09G-003/20

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

07097302 **Image available**

ELECTRONIC DEVICE AND DRIVING METHOD THEREFOR

PUB. NO. : 2001-324958 [JP 2001324958 A]

PUBLISHED: November 22, 2001 (20011122)

INVENTOR(s): KIMURA HAJIME

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO. : 2001-063419 [JP 20011063419]

FILED: March 07, 2001 (20010307)

PRIORITY: 2000-067793 [JP 200067793], JP (Japan), March 10, 2000
(20000310)

INTL CLASS: G09G-003/30; G09G-003/20

ABSTRACT

PROBLEM TO BE SOLVED: To improve the problems starting with a lack of brightness caused by a decrease in a duty ratio (the ratio of the emitting period to the non-emitting period) by using a new driving method and circuit in an electronic device.

SOLUTION: This method and circuit are characterized in that signals are written in pixels of plural different stages within a period for selecting one gate signal line. In such a manner, in the pixels in a certain stage, a high duty ratio is realized by setting an arbitrary sustain (lighting) period by securing a write time to the pixels and then setting arbitrarily to some extent a time from an input to the next input of a signal.

COPYRIGHT: (C) 2001, JPO

?

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-324958

(P2001-324958A)

(43) 公開日 平成13年11月22日 (2001. 11. 22)

(51) Int.Cl. ⁷	識別記号	F I	キーワード (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 5 C 0 8 0
3/20	6 4 1	3/20	6 4 1 E
	6 4 2		6 4 2 D
	6 8 0		6 8 0 V
			6 8 0 A

審査請求 未請求 請求項の数11 O L (全 40 頁) 最終頁に続く

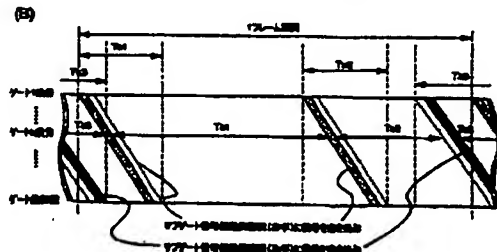
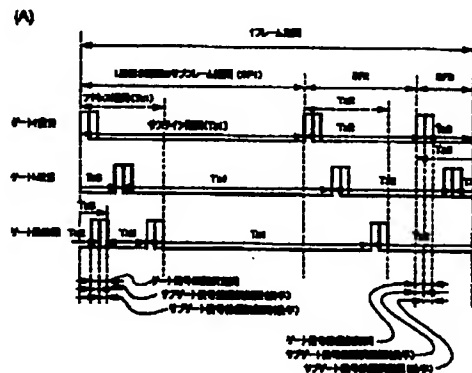
(21) 出願番号	特願2001-63419 (P2001-63419)	(71) 出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成13年3月7日 (2001. 3. 7)	(72) 発明者	木村 章 神奈川県厚木市長谷398番地 株式会社半 導体エネルギー研究所内
(31) 優先権主張番号	特願2000-67793 (P2000-67793)	Fターム (参考)	5C080 AA06 BB05 DD03 EE29 JJ02 JJ03 JJ04 JJ05 JJ06
(32) 優先日	平成12年3月10日 (2000. 3. 10)		
(33) 優先権主張国	日本 (J P)		

(54) 【発明の名称】 電子装置およびその駆動方法

(57) 【要約】

【課題】 電子装置において、新規の駆動方法および回路を用いることにより、デューティ比（発光期間と非発光期間との比）の低下に起因した、輝度不足を始めた問題点を改善することを目的とする。

【解決手段】 1 ゲート信号選択期間内に、異なる複数段の画素に信号を書き込む点に特徴がある。それにより、ある段の画素において、信号を入力してから次の信号を入力するまでの時間を、画素への書き込み時間を確保した上で程度任意に設定することにより、サステイン（点灯）期間を任意に設定し、高デューティ比を実現する。



【特許請求の範囲】

【請求項1】1フレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2, \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置の駆動方法において、 n 個の前記サブフレーム期間のうち少なくとも1個の前記サブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有することを特徴とする電子装置の駆動方法。

【請求項2】1フレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2, \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置の駆動方法において、前記サブフレーム期間内の複数のゲート信号線選択期間が、それぞれ m 個のサブゲート信号線選択期間を有するとき、サブゲート信号線選択期間においては、最大で1本のゲート信号線の選択が行われ、1フレーム期間においては、最大で $m \times n$ 回の垂直走査が行われることを特徴とする電子装置の駆動方法。

【請求項3】1フレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2, \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置の駆動方法において、前記サブフレーム期間内の複数のゲート信号線選択期間が、それぞれ m 個のサブゲート信号線選択期間を有するとき、サブゲート信号線選択期間においては、最大で1本のゲート信号線の選択が行われ、前記ゲート信号線選択期間においては、最大で m 本の異なるゲート信号線の選択が行われることを特徴とする電子装置の駆動方法。

【請求項4】1フレーム期間は n 個のサブフレーム期間

SF_1, SF_2, \dots, SF_n を有し、

前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2, \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、

自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置の駆動方法において、

前記サブフレーム期間内の複数のゲート信号線選択期間が、それぞれ m 個のサブゲート信号線選択期間を有するとき、

サブゲート信号線選択期間においては、最大で1本のゲート信号線の選択が行われ、

前記ゲート信号線選択期間においては、最大で m 本の異なるゲート信号線の選択が行われ、

異なる前記サブフレーム期間における前記アドレス（書き込み）期間が重複する場合に、前記アドレス（書き込み）期間が重複する期間と等しい長さだけリセット信号が入力され、

前記リセット信号が入力されている期間は前記自発光素子が非点灯状態となることを特徴とする電子装置の駆動方法。

【請求項5】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、

1フレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、

n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、

前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2, \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、

前記自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置において、

n 個の前記サブフレーム期間のうち少なくとも1個の前記サブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有することを特徴とする電子装置。

【請求項6】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、

1フレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、

前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、

前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2, \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、

0として、

自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置において、

前記サブフレーム期間内の複数のゲート信号線選択期間が、それぞれm個のサブゲート信号線選択期間を有するとき、

サブゲート信号線選択期間においては、最大で1本のゲート信号線の選択が行われ、

1フレーム期間においては、最大で $m \times n$ 回の垂直走査が行われることを特徴とする電子装置。

【請求項7】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、

1フレーム期間はn個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、

前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、

前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2 : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、

自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置において、

前記サブフレーム期間内の複数のゲート信号線選択期間が、それぞれm個のサブゲート信号線選択期間を有するとき、

サブゲート信号線選択期間においては、最大で1本のゲート信号線の選択が行われ、

前記ゲート信号線選択期間においては、最大でm本の異なるゲート信号線の選択が行われることを特徴とする電子装置。

【請求項8】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、

1フレーム期間はn個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、

前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、

前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2 : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、

自発光素子の点灯時間の長さを制御してnビットの階調制御を行う電子装置において、

前記サブフレーム期間内の複数のゲート信号線選択期間が、それぞれm個のサブゲート信号線選択期間を有するとき、

サブゲート信号線選択期間においては、最大で1本のゲート信号線の選択が行われ、

前記ゲート信号線選択期間においては、最大でm本の異

なるゲート信号線の選択が行われ、

異なる前記サブフレーム期間における前記アドレス（書き込み）期間が重複する場合に、前記アドレス（書き込み）期間が重複する期間と等しい長さだけリセット信号が入力され、

前記リセット信号が入力されている期間は前記自発光素子が非点灯状態となることを特徴とする電子装置。

【請求項9】ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がa行b列のマトリクス状に配置された画素部とを有し、

前記ソース信号線駆動回路は、少なくとも1個の第1のシフトレジスタ回路と、デジタル映像信号を記憶する第1の記憶回路と、前記第1の記憶回路の出力信号を記憶する第2の記憶回路とを有するソースドライバ回路を複数用いてなり、

前記ゲート信号線駆動回路は、少なくとも1個の第2のシフトレジスタ回路と、少なくとも1個のバッファ回路とを有するゲートドライバ回路を複数用いてなり、

1フレーム期間はn個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、

前記サブフレーム期間内の複数のゲート信号線選択期間がm個のサブゲート信号線選択期間を有し、

前記サブゲート信号線選択期間においては最大で1本のゲート信号線の選択が行われ、

前記ゲート信号線選択期間においては、最大でm本の異なるゲート信号線の選択が行われる電子装置において、

1本のソース信号線は第1のスイッチ回路を介して最大m個の前記ソースドライバ回路と電気的に接続され、

1本の前記ゲート信号線は第2のスイッチ回路を介して最大m個の前記ゲートドライバ回路と電気的に接続され、

前記ソース信号線駆動回路は最大 $b \times m$ 個の前記ソースドライバ回路を有し、

前記ゲート信号線駆動回路は最大 $a \times m$ 個の前記ゲートドライバ回路を有し、

前記第1のスイッチ回路は、1個のドットデータ書き込み期間において、電気的に接続されたm個の前記ソースドライバ回路のうち1個のみを選択して前期ソース信号線と接続して信号の書き込みを行い、

前記第2のスイッチ回路は、1個のサブゲート信号線選択期間において、電気的に接続されたm個の前記ゲートドライバ回路のうち1個のみを選択して前期ゲート信号線と接続してゲート信号線の選択を行うことを特徴とする電子装置。

【請求項10】請求項1乃至請求項4のいずれか1項に記載の電子装置の駆動方法を用いることを特徴とするE-Lディスプレイ、ビデオカメラ、ヘッドマウントディスプレイ、DVDプレーヤ、パーソナルコンピュータ、携帯電話、またはカーオーディオ。

【請求項11】請求項5乃至請求項9のいずれか1項に

記載の電子装置を用いることを特徴とするELディスプレイ、ビデオカメラ、ヘッドマウントディスプレイ、DVDプレーヤ、パーソナルコンピュータ、携帯電話、またはカーオーディオ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子装置および電子装置の駆動方法に関する。本発明は、特に、絶縁基板上に作成される薄膜トランジスタ(TFT)を有するアクティブマトリクス型電子装置およびアクティブマトリクス型電子装置の駆動方法に関する。アクティブマトリクス型電子装置の中でも、特に、EL(Electro Luminescence)素子を始めとする自発光素子を用いたアクティブマトリクス型電子装置およびアクティブマトリクス型電子装置の駆動方法に関する。

【0002】EL素子は、エレクトロルミネッセンス

(Electro Luminescence : 電場を加えることで発生するルミネッセンス) が得られる有機化合物を含む層(以下、EL層と記す)と、陽極と、陰極とを有する。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明はどちらの発光を用いた発光装置にも適用可能である。

【0003】なお、本明細書では、陽極と陰極の間に設けられた全ての層をEL層と定義する。EL層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的にEL素子は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0004】また、本明細書中では、陽極、EL層、及び陰極で形成される素子をEL素子と呼ぶ。

【0005】

【従来の技術】近年、LCD(液晶ディスプレイ)に替わるフラットディスプレイとして、ELディスプレイが注目を集めており、活発な研究が行われている。

【0006】LCDには、駆動方式として大きく分けて2つのタイプがあった。1つは、STN-LCDなどに用いられているパッシブマトリクス型であり、もう1つは、TFT-LCDなどに用いられているアクティブマトリクス型であった。ELディスプレイにおいても、同様に、大きく分けて2種類の駆動方式がある。1つはパッシブ型、もう1つがアクティブ型である。

【0007】パッシブ型の場合は、EL素子の上部と下部とに、電極となる配線が配置されている。そして、その配線に電圧を順に加えて、EL素子に電流を流すことによって点灯させている。一方、アクティブ型の場合は、各画素にトランジスタを有し、各画素内で信号を保

持出来るようになっている。

【0008】アクティブ型EL表示装置の概略図を図21(A)に示す。基板2150上に、ソース信号線駆動回路2151、ゲート信号線駆動回路2152、画素部2153が配置されている。ゲート信号線駆動回路は、図21(A)では画素部の両側に配置されているが、片側配置としても良い。表示装置を駆動する信号は、フレキシブルプリントサーキット(Flexible Print Circuit: FPC)2154より、各駆動回路へと入力される。

【0009】図21(B)は、画素部2153の一部を拡大したものであり、3×3画素を示している。点線枠2100で囲われた部分が1画素である。2101は、画素に信号を書き込む時のスイッチング素子として機能するTFT(以下、スイッチング用TFTという)である。図21では、スイッチング用TFTはnチャネル型になっているが、pチャネル型でも構わない。2102はEL素子2103に供給する電流を制御するための素子(電流制御素子)として機能するTFT(以下、EL駆動用TFTという)である。EL駆動用TFTがpチャネル型である場合、EL素子2103の陽極と電流供給線2107との間に配置される。別の構成方法として、nチャネル型を用いたり、EL素子2103の陰極と陰極配線との間に配置したりすることも可能である。しかし、トランジスタの動作としてソース接地が良いこと、EL素子2103の製造上の制約などから、EL駆動用TFTにはpチャネル型を用い、EL素子2103の陽極と電流供給線2107の間にEL駆動用TFTを配置する方式が最善であり、多く採用されている。2104は、ソース信号線2106から入力される信号(電圧)を保持するための保持容量である。図21(B)での保持容量2104の一方の端子は、電流供給線2107に接続されているが、専用の配線を用いることもある。スイッチング用TFT2101のゲート電極には、ゲート信号線2105が、ソース領域には、ソース信号線2106が接続されている。また、EL駆動用TFT2102のソース領域とドレイン領域には、一方にEL素子2103の陽極が、残る一方に電流供給線2107が接続されている。

【0010】アクティブ型ELディスプレイにおけるEL素子の動作について述べる。図22(A)に、EL素子を流れる電流とEL素子の輝度の関係を示す。図22(A)から分かる通り、EL素子の輝度は、EL素子に流れる電流にほぼ正比例して大きくなる。よって、以後は、主にEL素子に流れる電流について議論することにする。次に、図22(B)、図22(C)にEL素子の電圧-電流特性を示す。EL素子は、あるしきい値を超えた電圧が印加されると、指数的に大きな電流が流れるようになる。別の見方をすると、EL素子を流れる電流量が変化しても、EL素子に印加される電圧値はあまり

変化しない。一方、EL素子に印加される電圧値が少しでも変化すると、EL素子を流れる電流量は大きく変化する。よって、EL素子に印加される電圧値を制御することにより、EL素子を流れる電流量、つまり、EL素子の輝度を制御することは困難である。そこで、EL素子においては、EL素子を流れる電流量を制御することによって輝度を制御している。

【0011】図23を参照する。図23(A)は、図21におけるEL素子の画素部において、EL駆動用TFT2102およびEL素子2103の構成部分のみを示したものであり、電流供給線2301、陰極配線2302、EL駆動用TFT2304、およびそのゲート電極2303、EL素子2305で表される。図23

(B)には、図23(A)の回路の動作点を分析するための電圧電流特性を示す。ここで、EL素子2305に印可されている電圧を V_{EL} 、電流供給線2301の電位を V_{DD} 、陰極配線2302の電位を V_{GND} (=0

[V])、EL駆動用TFT2304のソース・ドレイン間電圧を V_{DS} 、EL駆動用TFT2304のゲート電極2303と電流供給線2301との間の電圧、つまりEL駆動用TFT2304のゲート・ソース間電圧を V_{GS} とする。ここでは、説明を明確とするため、EL駆動用TFT2304はpチャネル型を用いているものとし、ソース端子は電圧の高い方の端子、ドレイン端子は電圧の低い方の端子とする。図23(B)から分かるように、EL駆動用TFT2304のゲート・ソース間電圧の絶対値 $|V_{GS}|$ が大きくなるにつれて、EL駆動用TFT2304に流れる電流値も大きくなる。

【0012】次に、EL回路の動作点について説明する。まず、図23(A)の回路において、EL駆動用TFT2304とEL素子2305とは、直列に接続されている。よって、両素子(EL駆動用TFT2304とEL素子2305)を流れる電流値は等しい。従って、図23(A)の回路の動作点は、両素子の電圧電流特性グラフの交点になる(図23(B))。図23(B)において、 V_{EL} は、 V_{GND} から、動作点での電位までの間の電圧になる。 V_{DS} は、 V_{DD} から、動作点での電位までの間の電圧になる。つまり、 V_{DD} から V_{GND} までの電圧は、 V_{EL} と V_{DS} との和に等しい。

【0013】ここで、 V_{GS} を変化させた場合について考える。EL駆動用TFT2304はpチャネル型であるので、 V_{GS} がEL駆動用TFT2304のしきい値電圧 V_{th} よりも小さくなると、導通状態となる。そして、 V_{GS} をさらに小さくすると、つまり、絶対値 $|V_{GS}|$ をさらに大きくすると、EL駆動用TFT2304を流れる電流値がさらに大きくなり、EL素子2305を流れる電流値も当然大きくなる。EL素子2305の輝度は、EL素子2305を流れる電流値に比例して高くなる。ただしその時、 V_{EL} も大きくなる。

【0014】そこで、より詳細に動作を分析するため、

まず、 $|V_{GS}|$ が大きくなった場合の、EL駆動用TFT2304の動作領域について述べる。一般に、トランジスタの動作は、大きく2つの領域に分けることができる。一つは、ソース・ドレイン間電圧が変わっても電流値がほとんど変化しない、つまり、ゲート・ソース間電圧のみによって電流値が決まるという飽和領域($|V_{DS}| > |V_{GS} - V_{th}|$)である。もう一つは、ソース・ドレイン間電圧とゲート・ソース間電圧とにより電流値が決まるという線形領域($|V_{DS}| < |V_{GS} - V_{th}|$)である。以上を踏まえた上で、EL駆動用TFT2304の動作領域について考えてみる。まず、電流値が低い場合、つまり $|V_{GS}|$ が小さい場合、図23(B)に示すように、EL駆動用TFT2304は飽和領域で動作している。それから、 $|V_{GS}|$ を大きくしていくと、電流値も大きくなっていく。同時に、 V_{EL} も徐々に大きくなっていく。従って、この時、 V_{EL} が大きくなった分だけ、 V_{DS} が小さくなっていく。しかしながら、この場合、EL駆動用TFT2304は飽和領域で動作しているため、 V_{DS} が変化しても、電流値はほとんど変化しない。つまり、EL駆動用TFT2304が飽和領域で動作している場合、EL素子2305を流れる電流量は、 $|V_{GS}|$ だけで決まる。

【0015】さらに $|V_{GS}|$ を大きくしていくと、EL駆動用TFT2304は線形領域で動作するようになる。そして、 V_{EL} も徐々に大きくなっていく。よって、 V_{EL} が大きくなった分だけ、 V_{DS} が小さくなっていく。線形領域では、 V_{DS} が小さくなると電流量も小さくなる。そのため、 $|V_{GS}|$ を大きくしていても、電流値は増加しにくくなってくる。そして仮に、 $|V_{GS}| = \infty$ になった時を考えてみると、電流値 $= I_{MAX}$ となる。つまり、 $|V_{GS}|$ をいくら大きくしても、 I_{MAX} 以上の電流は流れない。ここで、 I_{MAX} は、 V_{EL} が($V_{DD} - V_{GND}$)の時(ここでは、 $V_{GND} = 0$ [V]であるから、 $V_{EL} = V_{DD}$)に、EL素子2305を流れる電流値である。

【0016】以上の動作分析のまとめとして、 $|V_{GS}|$ を変化させた場合の、EL素子を流れる電流値のグラフを図24に示す。 $|V_{GS}|$ を大きくしていき、EL駆動用TFTのしきい値電圧の絶対値 $|V_{th}|$ よりも大きくなると、EL駆動用TFTが導通状態となり、電流が流れ始める。この時の $|V_{GS}|$ を点灯開始電圧と呼ぶことにする。そして、さらに $|V_{GS}|$ を大きくしていくと、電流値が大きくなり、遂には、電流値が飽和してくる。その時の $|V_{GS}|$ を輝度飽和電圧と呼ぶことにする。図24から分かる通り、 $|V_{GS}|$ が点灯開始電圧よりも小さい時は、電流がほとんど流れない。 $|V_{GS}|$ が点灯開始電圧から輝度飽和電圧までの時は、 $|V_{GS}|$ によって電流量が変化する。そして、 $|V_{GS}|$ が輝度飽和電圧よりも十分大きい場合、EL素子に流れる電流値は、ほとんど変わらない。このように、 $|V_{GS}|$ を変えることにより、EL素子に流れる電流値、つまりEL素子の輝度

を制御する事が出来る。

【0017】次に、アクティブ型EL回路の動作について説明する。再び図21を参照する。

【0018】まず、ゲート信号線2105が選択されると、スイッチング用TFT2101のゲートが開き、スイッチング用TFT2101が導通状態になる。すると、ソース信号線2106の信号（電圧）が保持容量2104に蓄積される。保持容量2104の電圧は、EL駆動用TFT2102のゲート・ソース間電圧 V_{GS} となるため、保持容量2104の電圧に応じた電流がEL駆動用TFT2102とEL素子2103に流れる。その結果、EL素子2103が点灯する。図23から図24までの説明で述べたように、EL素子2103の輝度、つまりEL素子2103を流れる電流量は、 V_{GS} によって制御出来る。 V_{GS} は、保持容量2104において保持されている電圧であり、それはソース信号線2106の信号（電圧）である。つまり、ソース信号線2106の信号（電圧）を制御することによって、EL素子2103の輝度を制御する。最後に、ゲート信号線2105を非選択にして、スイッチング用TFT2101のゲートを閉じ、スイッチング用TFT2101を非導通状態にする。その時、保持容量2104に蓄積された電荷は保持される。よって、 V_{GS} は、そのまま保持され、 V_{GS} に応じた電流がEL駆動用TFT2102とEL素子2103に流れ続ける。

【0019】以上の内容に関しては、SID99 Digest : P352 : "Current Status and future of Light-Emitting Polymer Display Driven by Poly-Si TFT"、ASIA DISPLAY98 : P217 : "High Resolution Light Emitting Polymer Display Driven by Low Temperature Polysilicon Thin Film Transistor with Integrated Driver"、Euro Display99 Late News : P27 : "3.8 Green EL with Low Temperature Poly-Si TFT"などに報告されている。

【0020】

【本発明以前の技術】次に、EL素子の階調表示の方法について述べる。図24から分かるように、EL駆動用TFTのゲート電圧の絶対値 $|V_{GS}|$ が点灯開始電圧以上で輝度飽和電圧以下の場合、 $|V_{GS}|$ の値を変化させることにより、EL素子の明るさ、即ち、階調をアナログ的に制御することができる。よって、この方式をアナログ階調方式と呼ぶことにする。

【0021】アナログ階調方式は、EL駆動用TFTの電流特性のばらつきに弱いという欠点がある。つまり、EL駆動用TFTの電流特性が異なると、同じゲート電圧を印可しても、EL駆動用TFTとEL素子を流れる電流値が異なってしまう。その結果EL素子の明るさ、つまり階調が変わってしまう。図25に、EL駆動用TFTのしきい値電圧や移動度が変化した場合について、EL駆動用TFTのゲート電圧の絶対値 $|V_{GS}|$ とEL

素子の電流のグラフを示す。例えば、EL駆動用TFTのしきい値電圧が大きくなると、EL駆動用TFTのゲートに実質的に印加される電圧（ $|V_{GS}| - |V_{th}|$ ）が小さくなるため、点灯開始電圧が大きくなってしまふ。また、EL駆動用TFTの移動度が小さくなると、EL駆動用TFTのソース・ドレイン間を流れる電流が小さくなるため、グラフの傾きが小さくなってしまふ。

【0022】そこで、EL駆動用TFTの特性ばらつきの影響を小さくするために、デジタル階調方式と呼ぶ方式が考案されている。この方式は、EL駆動用TFTのゲート電圧の絶対値 $|V_{GS}|$ が点灯開始電圧以下の状態（ほとんど電流が流れない）と、輝度飽和電圧よりも大きい状態（電流値はほぼ I_{MAX} ）、という2つの状態で階調を制御する方式である。この場合、EL駆動用TFTのゲート電圧の絶対値 $|V_{GS}|$ を輝度飽和電圧よりも十分大きくしておけば、EL駆動用TFTの電流特性がばらついても、電流値は I_{MAX} に近くなる。よって、EL駆動用TFTのばらつきの影響を非常に小さく出来る。以上のように、ON状態（最大電流が流れているため明るい）とOFF状態（電流が流れないため暗い）の2つの状態で階調を制御するため、この方式はデジタル階調方式と呼ばれている。

【0023】しかしながら、デジタル階調方式の場合、このままでは2階調しか表示できない。そこで、別の方式と組み合わせて、多階調化を図る技術が複数提案されている。

【0024】そのうちの一つは、面積階調方式とデジタル階調方式を組み合わせる方式である。面積階調方式とは、点灯している部分の面積を制御して、階調を出す方式である。つまり、1つの画素を複数のサブ画素に分割し、点灯しているサブ画素の数や面積を制御して、階調を表現している。この方式の欠点としては、サブ画素の数を多くすることが出来ないため、解像度を高くすることや、階調数を多くすることが難しい点がある。面積階調方式については、Euro Display 99 Late News : P71 : "TFT-LEPD with Image Uniformity by Area Ratio Gray Scale"、IEDM 99 : P107 : "Technology for Active Matrix Light Emitting Polymer Displays"、などに報告がされている。

【0025】もう一つの多階調化を図る方式として、時間階調方式とデジタル階調方式を組み合わせる方式がある。時間階調方式とは、点灯している時間を制御して、階調を出す方式である。つまり、1フレーム期間を、複数のサブフレーム期間に分割し、点灯しているサブフレーム期間の数や長さを制御して、階調を表現している。

【0026】デジタル階調方式と面積階調方式と時間階調方式を組み合わせた場合については、IDW 99 : P171 : "Low-Temperature Poly-Si TFT Driven Light-Emitting-Polymer Displays and Digital Gray Scale for Uniformity"に報告されている。

【0027】デジタル階調方式と時間階調方式を組み合わせる方式として、特願平11-176521に出願されている方式について述べる。ここでは、例として、3ビット階調表現のため、1フレーム期間を3つのサブフレーム期間に分割した場合について述べる。

【0028】図26を参照する。図26に示すように、1フレーム期間を3つのサブフレーム期間(SF)に分割する。ここで、1つ目のサブフレーム期間をSF₁と呼ぶことにする。2つ目以降のサブフレーム期間についても同様にSF₂、SF₃と呼ぶことにする。1つのサブフレーム期間は、さらにアドレス(書き込み)期間(Ta)とサステイン(点灯)期間(Ts)に分けられる。SF₁でのサステイン(点灯)期間をTs₁と呼ぶことにする。SF₂、SF₃の場合においても同様に、Ts₂、Ts₃と呼ぶことにする。

【0029】アドレス(書き込み)期間(Ta)に行う動作について説明する。図21および図26を参照する。最初に、電流供給線2107と陰極配線2108の間の電位差を0[V]にしておく。詳しくは、陰極配線2108の電位を上げて、電流供給線2107と同電位にしておく。陰極配線2108は、全面素で接続されているため、この動作は、全面素にわたって同時に行われることになる。この動作の目的は、各画素の保持容量2104の電圧値に関わらず、EL素子2103に電流が流れないようにすることである。その後、ソース信号線2106を通じて、信号(電圧)を各画素の保持容量2104に蓄積していく。もし、画素を表示状態にしたい場合は、EL駆動用TFT2101のゲート・ソース間電圧の絶対値|V_{GS}|が輝度飽和電圧よりも十分高い電圧になるようにする。画素を表示させたくない場合は、EL駆動用TFT2101の|V_{GS}|が点灯開始電圧よりも十分低い電圧になるようにする。そして、全面素にわたって、信号(電圧)を保持容量2104に蓄積していく。以上でアドレス(書き込み)期間(Ta)の動作が終了する。

【0030】次に、サステイン(点灯)期間(Ts₁)に移る。アドレス(書き込み)期間(Ta)においては、電流供給線2107と陰極配線2108の間の電位差は0[V]の状態にあった。そこで、サステイン(点灯)期間(Ts₁)では、全面素にわたって同時に、電流供給線2107と陰極配線2108の間に、電圧を加える。その結果、|V_{GS}|が輝度飽和電圧よりも十分高い電圧になっている画素では、EL駆動用TFT2101とEL素子2103に電流が流れて、EL素子が点灯し始める。|V_{GS}|が点灯開始電圧よりも十分低い電圧になっている画素では、EL駆動用TFT2101とEL素子2103に電流は流れず、暗いままである。その後、そのままの状態が続き、サステイン(点灯)期間(Ts₁)の終了とともに、再び、電流供給線2107と陰極配線2108の間の電位差を0[V]の状態にす

る。当然、全面素にわたって同時に行っておく。すると、各画素の保持容量2104の電圧値、つまり、|V_{GS}|に関わらず、EL素子2103に電流が流れなくなり、EL素子2103は暗くなる。

【0031】以上が1サブフレーム期間(SF₁)での動作である。SF₂、SF₃においても、同様の動作を行う。ただし、サステイン(点灯)期間の長さは、サブフレーム期間によって異なる。長さの比率としては、Ts₁:Ts₂:Ts₃=2²:2¹:2⁰となっている。つまり、2のべき乗になるようにして、サステイン(点灯)期間を変えていくようになっている。このように、2のべき乗でサステイン(点灯)期間の長さを変えるのは、デジタル操作に適合しやすくするためである。

【0032】アドレス(書き込み)期間が終了するまでの間は、EL駆動用TFT2101のゲートに所定の電圧が印加され、EL駆動用TFT2101が導通状態となっても、EL素子2103は点灯せず、サステイン(点灯)期間の開始と同時にEL素子2103を点灯させるようにしている。これは、より正確にサステイン(点灯)期間の長さを制御するためである。図26に、EL素子2103の陰極配線の電位V_{GND}に関するタイミングチャートを示す。陰極配線は、全面素で繋がっているため、図26において、2601は全面素の陰極配線の電位V_{GND}を示している。アドレス(書き込み)期間(Ta)では、陰極配線の電位は、電流供給線の電位と同電位もしくはそれ以上にしておく。そして、サステイン(点灯)期間では、陰極配線の電位を下げ、EL素子に電流が流れるようにする。

【0033】階調表示の方法としては、Ts₁からTs₃までのサステイン(点灯)期間において、EL素子を点灯させるかどうかについて制御することにより、輝度を制御している。この例では、点灯するサステイン(点灯)期間の組み合わせにより、2³=8通りの点灯時間の長さを決定することが出来るため、8階調を表示できる。このように点灯時間の長短を利用して階調表現を行う方式を時間階調方式とよぶ。

【0034】さらに階調数を増やす場合は、1フレーム期間の分割数を増やしていけばよい。1フレーム期間をn個のサブフレームに期間に分割した場合、サステイン(点灯)期間の長さの比率はTs₁:Ts₂:...:Ts_(n-1):Ts_n=2⁽ⁿ⁻¹⁾:2⁽ⁿ⁻²⁾:...:2¹:2⁰となり、2ⁿ通りの階調を表現することが可能となる。

【0035】ただし、必ずしもサステイン(点灯)期間の長さを2のべき乗の比としない場合でも、階調表示は可能である。

【0036】このように、サブフレーム期間をアドレス(書き込み)期間とサステイン(点灯)期間とに分離しているのは、サステイン(点灯)期間の長さを自由に設定できるようにするためである。つまり、期間を分離す

ることにより、アドレス（書き込み）期間よりも短いサステイン（点灯）期間を設定することが可能となる。もし、期間を分離しなかった場合、サステイン（点灯）期間が短いと、アドレス（書き込み）期間が別のサブフレーム期間のアドレス（書き込み）期間と重なってしまう場合が生じ、正常に信号の書き込みが行われなくなる。

【0037】

【発明が解決しようとする課題】次に、主に、特願平11-176521に出願されている技術、つまり、時間階調方式とデジタル階調方式を組み合わせる多階調化を図る場合、アドレス（書き込み）期間とサステイン（点灯）期間とに分離する方式について、その問題点を述べる。

【0038】まず、アドレス（書き込み）期間（ T_a ）では、EL素子が点灯しないことが挙げられる。そのため、1フレーム期間全体における表示期間の割合（これをデューティ比という）が小さくなってしまふ。もし仮に、1フレーム期間において、サステイン（点灯）期間（ T_s ）の合計時間の占める割合が半分、つまり、デューティ比が50 [%]であれば、デューティ比が100 [%]の場合の半分の輝度しか得られない。もし、100 [%]の場合と同等の輝度を得たい場合には、サステイン（点灯）期間に光っている時の輝度、つまり、瞬間輝度を2倍にする必要がある。そのためには、EL素子に2倍の電流を流す必要がある。

【0039】第2の問題点としては、アドレス（書き込み）期間（ T_a ）中に、信号の全面素への書き込みを終了する必要があるため、高速に回路を動作させる必要があるということである。回路の動作が遅い場合は、アドレス（書き込み）期間（ T_a ）が長くなってしまふ。その結果、デューティ比が小さくなってしまふ、さまざまな問題が生ずる。また、高速に回路が動作すると、消費電力も大きくなってしまふ、問題となる。

【0040】第3の問題点としては、画素数を増やすことが難しいことである。なぜなら、画素数を増やすことでアドレス（書き込み）期間（ T_a ）が長くなってしまふ。その結果、デューティ比が小さくなってしまふためである。

【0041】第4の問題点としては、階調を増やすことが難しいことである。なぜなら、階調数を増やすためには、サブフレーム期間に分割する数を増やす必要がある。その結果、アドレス（書き込み）期間（ T_a ）の数が増えてしまふ、デューティ比が小さくなってしまふためである。

【0042】前述のような問題点によると、その大部分はデューティ比の低下による輝度不足に起因しているといえる。本発明は前述のような問題点を鑑みてなされたものであり、新規の駆動方法を用いることによって、デューティ比の向上を実現し、さらには駆動回路の動作周波数が低い場合にも十分なサステイン（点灯）期間

を確保して良好な画質を実現することを目的としている。

【0043】

【課題を解決するための手段】本発明の駆動方法は、ゲート信号線選択期間を複数のサブ期間に分割することにより、1ゲート信号線選択期間内に、異なる複数段の画素に信号を書き込む点に特徴がある。それにより、ある段の画素において、信号を入力してから次の信号を入力するまでの時間を、画素への書き込み時間を確保した上でならばある程度任意に設定することができる。すなわち、サステイン（点灯）期間を任意に設定することができるため、デューティ比を、見かけ上最大100

[%]まで大きくすることができる。よって、デューティ比が小さいために生ずる様々な問題点を回避することができる。

【0044】また、本発明の駆動方法は、アドレス（書き込み）期間中においても、EL素子を点灯させることができるという点に特徴がある。よって、アドレス（書き込み）期間が長くなった場合にもサステイン（点灯）期間を圧迫することを回避することができる。すなわち、回路動作が遅い場合にも、十分なサステイン（点灯）期間を確保することができる。結果として、駆動回路の動作周波数を低く抑えることができ、消費電力を小さくすることができる。

【0045】以下に、本発明の電子装置および電子装置の駆動方法の構成について記載する。

【0046】請求項1に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 $T_{a1}, T_{a2}, \dots, T_{an}$ と、サステイン（点灯）期間 $T_{s1}, T_{s2}, \dots, T_{sn}$ とを有し、前記サステイン（点灯）期間の長さを、 $T_{s1} : T_{s2} : \dots : T_{sn} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置の駆動方法において、 n 個の前記サブフレーム期間のうち少なくとも1個の前記サブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有していても良い。

【0047】請求項2に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 $T_{a1}, T_{a2}, \dots, T_{an}$ と、サステイン（点灯）期間 $T_{s1}, T_{s2}, \dots, T_{sn}$ とを有し、前記サステイン（点灯）期間の長さを、 $T_{s1} : T_{s2} : \dots : T_{sn} = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置の駆動方法において、前記サブフレーム期

間内の複数のゲート信号線選択期間が m 個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くても m 本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了されるようにしても良い。

【0048】請求項3に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2, : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置の駆動方法において、前記サブフレーム期間内の複数のゲート信号線選択期間が m 個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くても m 本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了され、異なる前記サブゲート信号線選択期間内では同一の前記ゲート信号線の書き込み期間が重複せず、かつ同一の前記サブゲート信号線選択期間内では異なる前記ゲート信号線の書き込み期間が重複しないようにしても良い。

【0049】請求項4に記載の、本発明の電子装置の駆動方法によると、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2, : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置の駆動方法において、前記サブフレーム期間内の複数のゲート信号線選択期間が m 個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くても m 本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了され、異なる前記サブフレーム期間の前記アドレス（書き込み）期間が重複する場合に、前記アドレス（書き込み）期間が重複している期間だけリセット信号が入力され、前記リセット信号が入力されている間は自発光素子が非点灯状態となる期間を有していても良い。

【0050】請求項5に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、1個のフレーム期間は n 個の

サブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2, : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置において、 n 個の前記サブフレーム期間のうち少なくとも1個の前記サブフレーム期間において、前記アドレス（書き込み）期間と前記サステイン（点灯）期間が重複している期間を有することを特徴としている。

【0051】請求項6に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2, : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置において、サブフレーム期間内の複数のゲート信号線選択期間が m 個の前記サブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くても m 本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了されることを特徴としている。

【0052】請求項7に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1 : Ts_2, : \dots : Ts_n = 2^{(n-1)} : 2^{(n-2)} : \dots : 2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置において、前記サブフレーム期間内の複数のゲート信号線選択期間が m 個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くても m 本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了され、異なる前記サブゲート信号線選択期間内では同一の前記ゲート信号線の書き込み期間が重複せず、かつ同一の前記サブゲート信号線選択期間内では異なる前記ゲ

ト信号線の書き込み期間が重複しないことを特徴としている。

【0053】請求項8に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子がマトリクス状に配置された画素部とを有する電子装置であって、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、 n 個の前記サブフレーム期間はそれぞれアドレス（書き込み）期間 Ta_1, Ta_2, \dots, Ta_n と、サステイン（点灯）期間 Ts_1, Ts_2, \dots, Ts_n とを有し、前記サステイン（点灯）期間の長さを、 $Ts_1:Ts_2, \dots, Ts_n=2^{(n-1)}:2^{(n-2)}:\dots:2^0$ として、自発光素子の点灯時間の長さを制御して n ビットの階調制御を行う電子装置において、サブフレーム期間内の複数のゲート信号線選択期間が m 個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くても m 本のゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了され、異なる前記サブフレーム期間の前記アドレス（書き込み）期間が重複する場合に、前記アドレス（書き込み）期間が重複している期間だけリセット信号が入力され、前記リセット信号が入力されている間は自発光素子が非点灯状態となる期間を有することを特徴としている。

【0054】請求項9に記載の、本発明の電子装置は、ソース信号線駆動回路と、ゲート信号線駆動回路と、複数の自発光素子が a 行 b 列のマトリクス状に配置された画素部とを有し、前記ソース信号線駆動回路は、少なくとも1個の第1のシフトレジスタ回路と、デジタル映像信号を記憶する第1の記憶回路と、該第1の記憶回路の出力信号を記憶する第2の記憶回路とを有するソースドライバ回路を複数用いてなり、前記ゲート信号線駆動回路は、少なくとも1個の第2のシフトレジスタ回路と、少なくとも1個のバッファ回路とを有するゲートドライバ回路を複数用いてなり、1個のフレーム期間は n 個のサブフレーム期間 SF_1, SF_2, \dots, SF_n を有し、前記サブフレーム期間内の複数のゲート信号線選択期間が m 個のサブゲート信号線選択期間を有し、前記サブゲート信号線選択期間においては多くても1本のゲート信号線への書き込みが行われ、多くても m 本の前記ゲート信号線への信号の書き込みが1個の前記ゲート信号線選択期間内に完了される電子装置において、1本のソース信号線は第1のスイッチ回路を介して最大 m 個の前記ソースドライバ回路と電気的に接続され、1本の前記ゲート信号線は第2のスイッチ回路を介して最大 m 個の前記ゲートドライバ回路と電気的に接続され、前記ソース信号線駆動回路は最大 $b \times m$ 個の前記ソースドライバ回路を有し、前記ゲート信号線駆動回路は最大 $a \times m$ 個の前記ゲートドライバ回路を有し、前記第1のスイッチ回路は、1個のドットデータ書き込み期間において、電気的に

に接続された m 個の前記ソースドライバ回路のうち1個のみを選択して前期ソース信号線と接続して信号の書き込みを行い、前記第2のスイッチ回路は、1個のサブゲート信号線選択期間において、電気的に接続された m 個の前記ゲートドライバ回路のうち1個のみを選択して前期ゲート信号線と接続して信号の書き込みを行うことを特徴としている。

【0055】

【発明の実施の形態】図27は、本発明の実施の形態の一態様を示している。図27(A)は電子装置の全体図であり、ソース信号線駆動回路2751、ゲート信号線駆動回路2752、画素部2753を有している。本発明の特徴として、ゲート信号線選択期間を複数のサブ期間に分割する点があり、そのために、ゲート信号線駆動回路は、シフトレジスタ回路～バッファまでは従来のものと同様であるが、バッファの出力端子とゲート信号線との間に選択回路(SW)を有している。シフトレジスタ回路には、クロック信号、スタートパルス等が入力され(図示せず)、選択回路には、ピン11よりサブゲート期間選択パルスが入力される。また、ソース信号線駆動回路は従来のものと同様で良く、クロック信号、スタートパルス等が入力される(図示せず)。

【0056】図27(B)、(C)を用いて、選択回路の動作について説明する。図27(B)は、ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割する場合に用いる選択回路の例であり、図27(C)は、ゲート信号線選択期間を3つのサブゲート信号線選択期間に分割する場合に用いる選択回路の例である。いずれの回路においても、バッファ出力パルスが複数のNAND回路に入力され、ピン11(図27中、ピンが複数の場合を、11A、11Bおよび11C～11Eとして示す)から入力されるサブゲート期間選択パルスとの論理積を各NAND回路でとることによって、サブ期間の分割を行っている。図27(B)(C)に示すタイミングチャートに従い、NAND出力はインバータを介してゲート信号線へと出力され、一定期間ゲート信号線を選択状態とする。ただし、図27において、信号の論理によっては、この他に適宜インバータ、バッファ等を設けていても良いし、インバータ2703、2707を持たない構成であっても良い。

【0057】このようにすることで、あるゲート信号線選択期間を基準単位として見ると、同一のゲート信号線選択期間に、異なる2本のゲート信号線の選択期間を設けられることになる。

【0058】例として、ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割した場合について説明する。図28に、タイミングチャートを示す。サブゲート信号線選択期間の数は2つであるから、ゲート信号線選択期間に同時選択されるゲート信号線も同数の2段である。

【0059】あるゲート信号線選択期間において、 i 段目のゲート信号線と k 段目のゲート信号線が同時に選択されているとする。ただし、 i 段目のゲート信号線が実際に選択されていて、スイッチング用TFTが導通状態にある期間は、ゲート信号線選択期間前半のサブゲート信号線選択期間だけである。また、 k 段目のゲート信号線が実際に選択されていて、スイッチング用TFTが導通状態にある期間は、ゲート信号線選択期間後半のサブゲート信号線選択期間だけである。ゲート信号線選択期間の前半、つまり i 段目のゲート信号線が選択されている時に、 i 段目の画素に信号が書き込まれる。ゲート信号線選択期間の後半、つまり k 段目のゲート信号線が選択されている時に、 k 段目の画素に信号が書き込まれる。

【0060】続いて、 $i+1$ 段目と $k+1$ 段目のゲート信号線が同様に選択される。ここでも、 $i+1$ 段目のゲート信号線はゲート信号線選択期間の前半のサブゲート信号線選択期間でのみ選択され、 $k+1$ 段目のゲート信号線はゲート信号線選択期間の後半のサブゲート信号線選択期間でのみ選択される。 $i+1$ 段目のゲート信号線が選択されている時に、 $i+1$ 段目の画素に信号が書き込まれる。 $k+1$ 段目のゲート信号線が選択されている時に、 $k+1$ 段目の画素に信号が書き込まれる。同様に、 $i+2$ 段目、 $k+2$ 段目のゲート信号線が選択され、各々のタイミングで画素に書き込みが行われる。ここで、 i 段目から $i+n$ (n は整数) 段目を選択してきているゲート信号線選択パルス、 k 段目から $k+n$ (n は整数) 段目を選択してきているゲート信号線選択パルスを第1のゲート信号線選択パルスと表記する。

【0061】あるところまで走査が進行すると、第1のゲート信号線選択パルスは、やがて k 段目のゲート信号線に到達する。同様に、第2のゲート信号線選択パルスは、やがて i 段目のゲート信号線に到達する。引き続き走査が進行し、垂直走査が行われていく。

【0062】以上は、ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割し、2本のゲート信号線を選択した場合である。1ゲート信号線選択期間内に m 段 (m は整数) のゲート信号線を選択する場合には、同様の方法でゲート信号線選択期間を m 分割して、サブゲート信号線選択期間を設ければ良い。

【0063】続いて、階調方式について説明する。本発明の電子装置においては、デジタル階調に時間階調を組み合わせることによって階調表現を行っているが、正常な階調表現が行われる限りは、他の方法、例えば面積階調方式などをさらに組み合わせても良い。

【0064】ここでは、簡単のため、デジタル階調と時間階調とを組み合わせて、3ビットの階調 ($2^3=8$ 階調) を表現する場合について説明する。図1(A)、(B)にタイミングチャートを示す。1フレーム期間を

3つのサブフレーム期間 $SF_1 \sim SF_3$ に分割する。 $SF_1 \sim SF_3$ の各長さは、2のべき乗で決定される。つまりこの場合、 $SF_1 : SF_2 : SF_3 = 4 : 2 : 1$ ($2^2 : 2^1 : 2^0$) となる。

【0065】まず、最初のサブフレーム期間において、1段づつ画素に信号を入力していく。ただしこの場合、実際にゲート信号線が選択されるのは、前半のサブゲート信号線選択期間のみである。後半のサブゲート信号線選択期間には、ゲート信号線の選択は行われず、画素への信号の入力も行われない。この動作を、1段目から最終段まで行う。ここで、アドレス (書き込み) 期間は、1段目のゲート信号線が選択されてから、最終段のゲート信号線が選択されるまでの期間である。よって、アドレス (書き込み) 期間の長さは、どのサブフレーム期間においても同一である。

【0066】続いて、第2のサブフレーム期間に入る。ここでも同様に、1段づつ画素に信号が入力される。この場合も、前半のサブゲート信号線選択期間においてのみ行われる。この動作を、1段目から最終段まで行う。

【0067】この時、全面素の陰極配線には、一定電圧が印加されている。よって、あるサブフレーム期間における画素のサステイン (点灯) 期間は、あるサブフレーム期間において画素に信号が書き込まれてから、次のサブフレーム期間において画素に信号が書き込まれ始めるまでの期間となる。よって、各段におけるサステイン (点灯) 期間は、時期が異なり、長さが等しい。

【0068】続いて、第3のサブフレーム期間について説明する。まず、第1、第2のサブフレーム期間と同様に、前半のサブゲート信号線選択期間においてゲート信号線を選択し、画素に信号を書き込む場合について考えてみる。この場合、最終段付近の画素への信号の書き込みが始まる時には、すでに次のフレーム期間での1段目の画素への書き込み期間、つまりアドレス (書き込み) 期間に入ってしまった。その結果、第3のサブフレーム期間における最終段付近の画素への書き込みと、次のフレーム期間の第1のサブフレーム期間における前半のある画素への書き込みが重複することになるわけである。同時に異なる2段分の信号を異なる2段の画素に正常に書き込むことはできない。そこで、第3のサブフレーム期間においては、後半のサブゲート信号線選択期間にゲート信号線を選択していくことにする。すると、第1のサブフレーム期間 (このサブフレーム期間は次のフレーム期間に属している) ではゲート信号線の選択は前半のサブゲート信号線選択期間において行われているから、同時に異なる2段の画素に信号を書き込みが行われることを回避することができる。

【0069】以上のように、本発明の駆動方法においては、あるサブフレーム期間におけるアドレス (書き込み) 期間が、別のサブフレーム期間におけるアドレス (書き込み) 期間と重複する場合、複数のサブゲート信

号線選択期間を利用して書き込み期間の割り当てを行うことにより、実際にゲート信号線の選択タイミングが重複しないようにするため、画素に正常に信号を書き込むことができる。その結果、ある行でアドレス（書き込み）期間にある瞬間に、別の行ではEL素子を点灯させるといったことが階調のビット数に関わらず可能となり、その結果高デューティ比を実現する。

【0070】

【実施例】以下に本発明の実施例について記述する。

【0071】【実施例1】本実施例においては、例として、1フレーム期間を分割した際に、アドレス（書き込み）期間よりも短いサステイン（点灯）期間（サブフレーム期間）が複数ある場合を挙げて説明する。

【0072】図2（A）、（B）を参照する。図2は1フレーム期間を5つのサブフレーム期間に分割した際のタイミングチャートを示している。この場合、ゲート信号線選択期間を前半、後半のサブゲート信号線選択期間に分割して信号の書き込みを行っても、アドレス（書き込み）期間 T_{a5} および次のフレーム期間の T_{a1} が重複しているのがわかる。そのため、このタイミングでは正常に信号の書き込みを行うことはできない。

【0073】1つの方法として、長いサブフレーム期間と短いサブフレーム期間とで順序を入れ替えることにより、この問題を解決することができる。図3（A）、

（B）を参照する。図3は図2と同様、1フレーム期間を5つのサブフレーム期間に分割した際のタイミングチャートを示している。サブフレーム期間の順序を、 $SF_1 \rightarrow SF_4 \rightarrow SF_3 \rightarrow SF_2 \rightarrow SF_5$ として、さらにサブゲート信号線選択期間の前半と後半にゲート信号線選択のタイミングを適当に振り分けることで、同一のサブゲート信号線選択期間内では、アドレス（書き込み）期間の重複が起こっていないことがわかる（図3（B））。各サブフレーム期間およびアドレス（書き込み）期間の長さは図2に示したものと同様であるが、本実施例で示した方法を用いることで、正常に画素への書き込みを行うことができる。本実施例における方法では、回路側での変更を行うことなく実施が可能である。

【0074】【実施例2】本実施例においては、実施例1で述べたアドレス（書き込み）期間の重複を、実施例1とは異なる手段にて回避する方法について説明する。

【0075】図2において、重複しているアドレス（書き込み）期間は、 T_{a5} および次のフレーム期間の T_{a1} であった。そこで、ゲート信号線選択期間を、3つのサブゲート信号線選択期間に分割し、信号の書き込みを、第1、第2、第3のサブゲート信号線選択期間に振り分けることで解決をはかる。図4（A）、（B）を参照する。第1のサブゲート信号線選択期間においては T_{a1} 、 T_{a2} 、 T_{a3} で信号の書き込みを行い、第2のサブゲート信号線選択期間においては T_{a4} で信号の書き込みを行い、第3のサブゲート信号線選択期間において

は T_{a5} で信号の書き込みを行う。結果として、図4

（B）に示すようなタイミングで信号の書き込みが行われ、各サブゲート信号線選択期間内における複数のアドレス（書き込み）期間の重複は回避することができる。

【0076】本実施例で説明した方法によると、ゲート信号線選択期間の分割数が増加する分、サブゲート信号線選択期間が短くなり、信号の書き込み時間が減少する反面、実施例1に示した方法では対処しきれない場合（例えばアドレス（書き込み）期間が長く、順序の並べ替えを行っても重複する部分がある場合など）には有効である。

【0077】【実施例3】本実施例においては、アドレス（書き込み）期間の重複を、実施例1および実施例2とは異なる手段にて回避する方法について説明する。

【0078】図5（A）、（B）を参照する。 SF_4 、 SF_5 は、それ自身の期間が短いため、通常のタイミングではアドレス（書き込み）期間の重複を回避することはできない。そこで、 SF_4 、 SF_5 各々の後に、リセット期間 Tr_4 、 Tr_5 を設ける。リセット期間中は、EL素子が点灯しないような信号を入力する。具体的には、書き込む電圧を、保持容量に電荷が蓄積されない電圧としてやれば良い。以後、この信号をリセット信号と表記する。信号を画素に書き込んでから、前記リセット信号が入力されるまでの時間を変化させることで、サブフレーム期間 SF_4 、 SF_5 の長さを調節し、各アドレス（書き込み）期間およびリセット期間が重複しないタイミングにすれば良い。

【0079】本実施例で挙げた方法を用いると、リセット信号の入力後、次にアドレス（書き込み）期間が現れるまでの期間はEL素子が点灯しないため、ややデューティ比が低下するといった問題が生ずるが、本実施例で用いるリセット信号は、サステイン（点灯）期間がうまく1フレーム期間内に収まらない場合などに、時間調整の目的で利用することも可能である。

【0080】【実施例4】実施例1～3においては、実施形態に示したとおりの回路構成によって、駆動信号のタイミングを調整することでアドレス（書き込み）期間の重複を回避する方法について説明してきた。本実施例においては、ゲート信号線とスイッチング用TFTを追加して回路を構成した場合について説明する。具体例として、1ゲート信号線選択期間を2つのサブゲート信号線選択期間に分割する場合を挙げる。

【0081】図6（A）を参照する。基板650上に、ソース信号線駆動回路651、ゲート信号線駆動回路652、画素部653が配置されている。図6においては、ゲート信号線駆動回路652は両側配置としているが、片側のみ配置でも良い。本実施例で示した回路の特徴としては、ゲート信号線が画素1行あたり2本通っている点である。ここで、図6（A）に示した電子装置における駆動回路の詳細な図を図34に示す。図34

(A)はソース信号線駆動回路であり、シフトレジスタ～NAND～第1のラッチ回路～第2のラッチ回路～バッファ～ソース信号線という一連の経路は従来のものと同様で良い。

【0082】図34(B)はゲート信号線駆動回路である。シフトレジスタ～バッファ出力までは従来の回路と同様で良い。バッファ出力は、2つのNAND回路に入力され、各NAND回路で、ピン9、10より入力されるサブゲート期間選択パルスとの論理積をとってゲート信号線(Gate Line AおよびB)へと出力される。これは実施形態の項で、図27(B)にて示したものと同様の動作とみなして良い。つまり、1ゲート信号線選択期間に、2つのNAND回路から順次サブゲート信号線選択パルスが出力される。

【0083】図6(B)は、画素部を拡大表示したものである。点線枠600で囲われた部分が1画素であり、第1のスイッチング用TFT601、第2のスイッチング用TFT602、EL駆動用TFT603、EL素子604、保持容量605、第1のゲート信号線606、第2のゲート信号線607、ソース信号線608、電流供給線609を有する。第1のゲート信号線606には、図34(B)に示したGate Line Aからの選択パルスが入力され、第2のゲート信号線607には、Gate Line Bからの選択パルスが入力される(逆でも構わない)。

【0084】駆動方法の一例としては、実施例1のようにゲート信号線選択期間を2つのサブゲート信号線選択期間に分割する場合に、前半、後半のゲート信号線の選択信号の入力それぞれを2つのスイッチング用TFTでまかなう。前半のサブゲート信号線選択期間にゲート信号線を選択する場合には第1のゲート信号線606から信号を入力して第1のスイッチング用TFT601を駆動し、後半のサブゲート信号線選択期間にゲート信号線を選択する場合には第2のゲート信号線607から信号を入力して第2のスイッチング用TFT602を駆動するようにすればよい。

【0085】[実施例5]本実施例では、本発明の駆動回路を有するEL(エレクトロルミネッセンス)表示装置を作製した例について説明する。

【0086】図7(A)は本発明を用いたEL表示装置の上面図である。図7(A)において、4001は基板、4002は画素部、4003はソース信号線駆動回路、4004はゲート信号線駆動回路であり、それぞれの駆動回路は配線4005、4006、4007を経て、FPC4008に至り、外部機器へと接続される。

【0087】このとき、少なくとも画素部、好ましくは駆動回路及び画素部を囲むようにしてカバー材4009、密封材4010、シーリング材(ハウジング材ともいう)4011(図7(B)に図示)が設けられている。

【0088】また、図7(B)は本実施例のEL表示装置の断面構造であり、基板4001、下地膜4012の上に駆動回路用TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを組み合わせたCMOS回路を図示している)4013及び画素部用TFT4014(但し、ここではEL素子への電流を制御するEL駆動用TFTだけ図示している)が形成されている。これらのTFTは公知の構造(トップゲート構造あるいはボトムゲート構造)を用いれば良い。

【0089】公知の作製方法を用いて駆動回路用TFT4013、画素部用TFT4014が完成したら、樹脂材料でなる層間絶縁膜(平坦化膜)4015の上に画素部用TFT4014のドレインと電気的に接続する透明導電膜でなる画素電極4016を形成する。透明導電膜としては、酸化インジウムと酸化スズとの化合物(ITOと呼ばれる)または酸化インジウムと酸化亜鉛との化合物を用いることができる。そして、画素電極4016を形成したら、絶縁膜4017を形成し、画素電極4016上に開口部を形成する。

【0090】次に、EL層4018を形成する。EL層4018は公知のEL材料(正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層)を自由に組み合わせ、積層構造または単層構造とすれば良い。また、EL材料には低分子系材料と高分子系(ポリマー系)材料がある。低分子系材料を用いる場合は蒸着法を用いるが、高分子系材料を用いる場合には、スピンコート法、印刷法またはインクジェット法等の簡易な方法を用いることが可能である。

【0091】本実施例では、シャドウマスクを用いて蒸着法によりEL層4018を形成する。シャドウマスクを用いて画素毎に波長の異なる発光が可能な発光層(赤色発光層、緑色発光層及び青色発光層)を形成することで、カラー表示が可能となる。その他にも、色変換層(CCM)とカラーフィルターを組み合わせた方式、白色発光層とカラーフィルターを組み合わせた方式があるがいずれの方法を用いても良い。勿論、単色発光のEL表示装置とすることもできる。

【0092】EL層4018を形成したら、その上に陰極4019を形成する。陰極4019とEL層4018の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中でEL層4018と陰極4019を連続成膜するか、EL層4018を不活性雰囲気中で形成し、大気解放しないで陰極4019を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。

【0093】なお、本実施例では陰極4019として、LiF(フッ化リチウム)膜とAl(アルミニウム)膜の積層構造を用いる。具体的にはEL層4018上に蒸着法で1[μm]厚のLiF(フッ化リチウム)膜を形成

し、その上に300[μm]厚のアルミニウム膜を形成する。勿論、公知の陰極材料であるMgAg電極を用いても良い。そして陰極4019は4020で示される領域において配線4007に接続される。配線4007は陰極4019に所定の電圧を与えるための電源線であり、導電性ペースト材料4021を介してFPC4008に接続される。

【0094】4020に示された領域において陰極4019と配線4007とを電氣的に接続するために、層間絶縁膜4015及び絶縁膜4017にコンタクトホールを形成する必要がある。これらは層間絶縁膜4015のエッチング時(画素電極用コンタクトホールの形成時)や絶縁膜4017のエッチング時(EL層形成前の開口部の形成時)に形成しておけば良い。また、絶縁膜4017をエッチングする際に、層間絶縁膜4015まで一括でエッチングしても良い。この場合、層間絶縁膜4015と絶縁膜4017が同じ樹脂材料であれば、コンタクトホールの形状を良好なものとすることができる。

【0095】このようにして形成されたEL素子の表面を覆って、パッシベーション膜4022、充填材4023、カバー材4009が形成される。

【0096】さらに、EL素子部を囲むようにして、カバー材4009と基板4001の内側にシーリング材4011が設けられ、さらにシーリング材4011の外側には密封材(第2のシーリング材)4010が形成される。

【0097】このとき、この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えても良い。

【0098】また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0099】スペーサーを設けた場合、パッシベーション膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0100】また、カバー材4009としては、ガラス板、アルミニウム板、ステンレス板、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4023としてPVBやEVAを用い

る場合、数十[μm]のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0101】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材4009が透光性を有する必要がある。

【0102】また、配線4007はシーリング材4011および密封材4010と基板4001との隙間を通過してFPC4008に電氣的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4011および密封材4010の下を通過してFPC4008に電氣的に接続される。

【0103】なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面(露出面)を覆うようにシーリング材4011を取り付けているが、カバー材4009及びシーリング材4011を取り付けてから、充填材4023を設けても良い。この場合、基板4001、カバー材4009及びシーリング材4011で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10⁻²[Torr]以下)にし、充填材の入っている水槽に注入口を浸してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0104】[実施例6]本実施例では、実施例5とは異なる形態のEL表示装置を作製した例について、図8(A)、(B)を用いて説明する。図7(A)、(B)と同じ番号のものは同じ部分を指しているので説明は省略する。

【0105】図8(A)は本実施例のEL表示装置の上面図であり、図8(A)をA-A'で切断した断面図を図8(B)に示す。

【0106】実施例5に従って、EL素子の表面を覆ってパッシベーション膜4022までを形成する。

【0107】さらに、EL素子を覆うようにして充填材4023を設ける。この充填材4023は、カバー材4009を接着するための接着剤としても機能する。充填材4023としては、PVC(ポリビニルクロライド)、エポキシ樹脂、シリコン樹脂、PVB(ポリビニルブチラル)またはEVA(エチレンビニルアセテート)を用いることができる。この充填材4023の内部に乾燥剤を設けておくと、吸湿効果を保持できるので好ましい。また充填材4023の内部に、酸素を捕捉する効果を有する酸化防止剤等を配置することで、EL層の劣化を抑えても良い。

【0108】また、充填材4023の中にスペーサーを含有させてもよい。このとき、スペーサーをBaOなどからなる粒状物質とし、スペーサー自体に吸湿性をもたせてもよい。

【0109】スペーサーを設けた場合、パッシベーション

ン膜4022はスペーサー圧を緩和することができる。また、パッシベーション膜とは別に、スペーサー圧を緩和する樹脂膜などを設けてもよい。

【0110】また、カバー材4009としては、ガラス板、アルミニウム板、ステンレス板、FRP (Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリルフィルムを用いることができる。なお、充填材4023としてPVBやEVAを用いる場合、数十[μm]のアルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることが好ましい。

【0111】但し、EL素子からの発光方向(光の放射方向)によっては、カバー材6000が透光性を有する必要がある。

【0112】次に、充填材4023を用いてカバー材4009を接着した後、充填材4023の側面(露呈面)を覆うようにフレーム材4024を取り付ける。フレーム材4024はシーリング材(接着剤として機能する)4025によって接着される。このとき、シーリング材4025としては、光硬化性樹脂を用いるのが好ましいが、EL層の耐熱性が許せば熱硬化性樹脂を用いても良い。なお、シーリング材4025はできるだけ水分や酸素を透過しない材料であることが望ましい。また、シーリング材4025の内部に乾燥剤を添加してあっても良い。

【0113】また、配線4007はシーリング材4025と基板4001との隙間を通してFPC4008に電気的に接続される。なお、ここでは配線4007について説明したが、他の配線4005、4006も同様にしてシーリング材4025の下を通してFPC4008に電気的に接続される。

【0114】なお本実施例では、充填材4023を設けてからカバー材4009を接着し、充填材4023の側面(露呈面)を覆うようにフレーム材4024を取り付けているが、カバー材4009、シーリング材4025及びフレーム材4024を取り付けてから、充填材4023を設けても良い。この場合、基板4001、カバー材4009、シーリング材4025及びフレーム材4024で形成されている空隙に通じる充填材の注入口を設ける。そして前記空隙を真空状態(10^{-2} [Torr]以下)にし、充填材の入っている水槽に注入口を没してから、空隙の外の気圧を空隙の中の気圧よりも高くして、充填材を空隙の中に充填する。

【0115】[実施例7]ここでEL表示パネルにおける画素部のさらに詳細な断面構造を図9に、上面構造を図10(A)に、回路図を図10(B)に示す。図9、図10(A)、(B)では共通の符号を用いるので互いに参照すれば良い。

【0116】図9において、基板4501上に設けられ

たスイッチング用TFT4502は公知の方法で形成されたnチャネル型TFTを用いる。本実施例ではダブルゲート構造としているが、構造及び作製プロセスに大きな違いはないので説明は省略する。但し、ダブルゲート構造とすることで実質的に2つのTFTが直列された構造となり、オフ電流値を低減することができるという利点がある。なお、本実施例ではダブルゲート構造としているが、シングルゲート構造でも構わないし、トリプルゲート構造やそれ以上のゲート本数を持つマルチゲート構造でも構わない。また、公知の方法で形成されたpチャネル型TFTを用いて形成しても構わない。

【0117】また、EL駆動用TFT4503は公知の方法で形成されたnチャネル型TFTを用いる。スイッチング用TFT4502のドレイン配線4504は配線4505によってEL駆動用TFT4503のゲート電極4506に電気的に接続されている。また、4507で示される配線は、スイッチング用TFT4502のゲート電極4508、4509を電気的に接続するゲート配線である。

【0118】EL駆動用TFT4503はEL素子4510を流れる電流量を制御するための素子であるため、多くの電流が流れ、熱による劣化やホットキャリアによる劣化の危険性が高い素子でもある。そのため、EL駆動用TFT4503のドレイン側に、ゲート絶縁膜を介してゲート電極に重なるようにLDD領域を設ける構造は極めて有効である。

【0119】また、本実施例ではEL駆動用TFT4503をシングルゲート構造で図示しているが、複数のTFTを直列に接続したマルチゲート構造としても良い。さらに、複数のTFTを並列につなげて実質的にチャネル形成領域を複数に分割し、熱の放射を高い効率で行えるようにした構造としても良い。このような構造は熱による劣化対策として有効である。

【0120】また、図10(A)に示すように、EL駆動用TFT4503のゲート電極4506を含む配線4505は、4511で示される領域で、EL駆動用TFT4503のドレイン配線4512と絶縁膜を介して重なる。このとき、4511で示される領域では保持容量が形成される。保持容量4511は、電流供給線4513と電気的に接続された半導体膜4514、ゲート絶縁膜と同一層の絶縁膜(図示せず)及び配線4505との間で形成される。また、配線4505、第1層間絶縁膜と同一の層(図示せず)及び電流供給線4513で形成される容量も保持容量として用いることが可能である。この保持容量4511はEL駆動用TFT4503のゲート電極4506に印加する電圧を保持する機能を有する。なお、EL駆動用TFT4503のドレイン領域は電流供給線(電源線)4513に接続され、常に一定の電圧が加えられている。

【0121】スイッチング用TFT4502及びEL駆

動用TFT4503の上には第1のバッシベーション膜4515が設けられ、その上に樹脂絶縁膜でなる平坦化膜4516が形成される。平坦化膜4516を用いてTFTによる段差を平坦化することは非常に重要である。後に形成される発光層4519は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。従って、発光層4519をできるだけ平坦面に形成するように画素電極4517を形成する前に平坦化しておくことが望ましい。

【0122】また、4517は反射性の高い導電膜でなる画素電極（EL素子の陰極）であり、第1のバッシベーション膜4515及び平坦化膜4516に設けられたコンタクトホールを介して、EL駆動用TFT4503のドレイン領域に電気的に接続される。画素電極4517としてはアルミニウム合金膜、銅合金膜または銀合金膜など低抵抗な導電膜またはそれらの積層膜を用いることが好ましい。勿論、他の導電膜との積層構造としても良い。

【0123】次に有機樹脂膜を画素電極4517及び平坦化膜4516上に形成し、前記有機樹脂膜をパターンニングすることで、バンク4518及びタップ4520を形成する。バンク4518は、隣り合う画素の発光層またはEL層を分離するために設ける。タップ4520は、画素電極4517とEL駆動用TFT4503のドレイン配線4512とが接続されている部分の上に設けられる。画素電極4517はコンタクトホールの部分において段差が生じる場合があり、後に形成される発光層4519の発光不良を防ぐために、タップ4520を設けることで平坦化しておくことが望ましい。なお、バンク4518とタップ4520とは同じ厚さに形成しなくとも良く、後に形成される発光層4519の厚さに応じて適宜設定することが可能である。

【0124】バンク4518により形成された溝（画素に相当する）の中にEL層4519が形成される。なお図10(A)では、保持容量4511の位置を明確にするために一部バンクを省略しているが、電流供給線4513と、ソース配線4521の一部とを覆うように画素間に設けられている。また、ここでは2画素しか図示していないが、R（赤）、G（緑）、B（青）の各色に対応した発光層を作り分けても良い。発光層とするEL材料としてはπ共役ポリマー系材料を用いる。代表的なポリマー系材料としては、ポリパラフェニレンビニレン（PPV）系、ポリビニルカルバゾール（PVK）系、ポリフルオレン系などが挙げられる。

【0125】なお、PPV系EL材料としては様々な型のものがあるが、例えば H. Shenk, H. Becker, O. Gelse, E. Kluge, W. Kreuder and H. Spreitzer: "Polymers for Light Emitting Diodes", Euro Display, Proceedings, 1999, p. 33-37」や特開平10-92576号公報に記載されたような材料を用いれば良い。

【0126】具体的な発光層としては、赤色に発光する発光層にはシアノポリフェニレンビニレン、緑色に発光する発光層にはポリフェニレンビニレン、青色に発光する発光層にはポリフェニレンビニレン若しくはポリアルキルフェニレンを用いれば良い。膜厚は30～150[nm]（好ましくは40～100[nm]）とすれば良い。

【0127】但し、以上の例は発光層として用いることのできるEL材料の一例であって、これに限定する必要はまったくない。発光層、電荷輸送層または電荷注入層を自由に組み合わせてEL層（発光及びそのためのキャリアの移動を行わせるための層）を形成すれば良い。

【0128】例えば、本実施例ではポリマー系材料を発光層として用いる例を示したが、低分子系EL材料を用いても良い。また、電荷輸送層や電荷注入層として炭化珪素等の無機材料を用いることも可能である。これらのEL材料や無機材料は公知の材料を用いることができる。

【0129】本実施例では発光層4519の上にPEDOT（ポリチオフェン）またはPAni（ポリアニリン）でなる正孔注入層4522を設けた積層構造のEL層としている。そして、正孔注入層4522の上には透明導電膜でなる陽極4523が設けられる。本実施例の場合、発光層4519で生成された光は上面側に向かって（TFTの上方に向かって）放射されるため、陽極は透光性でなければならない。透明導電膜としては酸化インジウムと酸化スズとの化合物や酸化インジウムと酸化亜鉛との化合物を用いることができるが、耐熱性の低い発光層や正孔注入層を形成した後で形成するため、可能な限り低温で成膜できるものが好ましい。

【0130】陽極4523まで形成された時点でEL素子4510が完成する。なお、ここでいうEL素子4510とは、画素電極（陰極）4517と、発光層4519と、正孔注入層4522及び陽極4523で形成された保持容量とを指す。図11(A)に示すように画素電極4517は画素の面積にほぼ一致するため、画素全体がEL素子として機能する。従って、発光の利用効率が非常に高く、明るい画像表示が可能となる。

【0131】ところで、本実施例では、陽極4523の上にさらに第2のバッシベーション膜4524を設けている。第2のバッシベーション膜4524としては窒化珪素膜または窒化酸化珪素膜が好ましい。この目的は、外部とEL素子とを遮断することであり、EL材料の酸化による劣化を防ぐ意味と、EL材料からの脱ガスを抑える意味との両方を併せ持つ。これによりEL表示装置の信頼性が高められる。

【0132】以上のように本実施例において説明してきたEL表示パネルは図9のような構造の画素からなる画素部を有し、オフ電流値の十分に低いスイッチング用TFTと、ホットキャリア注入に強いEL駆動用TFTと

を有する。従って、高い信頼性を有し、且つ、良好な画像表示が可能なEL表示パネルが得られる。

【0133】[実施例8]本実施例では、実施例7に示した画素部において、EL素子4510の構造を反転させた構造について説明する。説明には図11を用いる。なお、図9の構造と異なる点はEL素子の部分とEL駆動用TFTだけであるので、その他の説明は省略することとする。

【0134】図11において、EL駆動用TFT4503は公知の方法で形成されたpチャネル型TFTを用いる。

【0135】本実施例では、画素電極(陽極)4525として透明導電膜を用いる。具体的には酸化インジウムと酸化亜鉛との化合物でなる導電膜を用いる。勿論、酸化インジウムと酸化スズとの化合物でなる導電膜を用いても良い。

【0136】そして、絶縁膜でなるバンク4526及びタブ4527が形成された後、溶液塗布によりポリビニルカルバソールでなる発光層4528が形成される。その上にはカリウムアセチルアセトネート(acacKと表記される)でなる電子注入層4529、アルミニウム合金でなる陰極4530が形成される。この場合、陰極4530がパッシベーション膜としても機能する。こうしてEL素子4531が形成される。

【0137】本実施例において説明した構造を有するEL画素の場合、発光層4528で発生した光は、矢印で示されるようにTFTが形成された基板の方に向かって放射される。

【0138】[実施例9]本実施例では、図10(B)に示した回路図とは異なる構造の画素とした場合の例について図12(A)～(C)に示す。なお、本実施例において、3801はスイッチング用TFT3802のソース配線を兼ねているソース信号線、3803はスイッチング用TFT3802のゲート電極を兼ねているゲート信号線、3804はEL駆動用TFT、3805は保持容量、3806、3808は電流供給線、3807はEL素子とする。

【0139】図12(A)は、隣接する2つの画素間で電流供給線3806を共通とした場合の例である。即ち、隣接する2つの画素が電流供給線3806を中心に線対称となるように形成されている点に特徴がある。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0140】また、図12(B)は、電流供給線3808をゲート信号線3803と平行に設けた場合の例である。なお、図12(B)では電流供給線3808とゲート信号線3803とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電流供給線3808とゲート信号線3803

とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【0141】また、図12(C)は、図12(B)の構造と同様に電流供給線3808をゲート信号線3803と平行に設け、さらに、2つの画素を電流供給線3808を中心に線対称となるように形成する点に特徴がある。また、電流供給線3808をゲート信号線3803のいずれか一方と重なるように設けることも有効である。この場合、電流供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0142】[実施例10]実施例7に示した図10

(A)、10(B)ではEL駆動用TFT4503のゲート電極にかかる電圧を保持するために保持容量4511を設ける構造としているが、保持容量4511を省略することも可能である。実施例7の場合、EL駆動用TFT4503として公知の方法で形成されたnチャネル型TFTを用いているため、ゲート絶縁膜を介してゲート電極に重なるように設けられたGOLD領域を有している。この重なり合った領域には一般的にゲート容量と呼ばれる寄生容量が形成されるが、本実施例ではこの寄生容量を保持容量4511の代わりとして積極的に用いる点に特徴がある。

【0143】この寄生容量のキャパシタンスは、上記ゲート電極とGOLD領域とが重なり合った面積によって変化するため、その重なり合った領域に含まれるGOLD領域の長さによって決まる。

【0144】また、実施例9に示した図12(A)、(B)、(C)の構造においても同様に、保持容量3805を省略することは可能である。

【0145】[実施例11]本実施例においては、実施例1～10で説明した電子装置の作成方法例として、画素部のスイッチング素子であるEL駆動用TFTと、画素部の周辺に設けられる駆動回路(ソース信号線駆動回路、ゲート信号線駆動回路等)のTFTを同一基板上に作成する方法について工程に従って詳細に説明する。但し、説明を簡単にするために、駆動回路部としてはその基本構成回路であるCMOS回路と、画素部としてはスイッチング用TFTとEL駆動用TFTとを図示することにする。

【0146】図13を参照する。基板5001には、例えばコーニング社の1737ガラス基板に代表される無アルカリガラス基板を用いた。そして、基板5001のTFTが形成される表面に、下地膜5002をプラズマCVD法やスパッタ法で形成した。下地膜5002は、窒化シリコン膜を25～100[nm]、ここでは50[nm]の厚さに、酸化シリコン膜を50～300[nm]、ここでは150[nm]の厚さに積層形成(特に図示せず)した。また、下地膜5002は、窒化シリコン膜や窒化酸化シリコン膜のみを用いても良い。

【0147】次に、この下地膜5002の上に、50

〔nm〕の厚さの非晶質シリコン膜をプラズマCVD法で形成した。非晶質シリコン膜は含有水素量にもよるが、好ましくは400～550〔℃〕で数時間加熱して脱水素処理を行い、含有水素量を5〔atom%〕以下として、結晶化の工程を行うことが望ましい。また、非晶質シリコン膜をスパッタ法や蒸着法などの他の作成方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素の含有量を十分低減させておくことが望ましい。

【0148】ここで、下地膜と非晶質シリコン膜とはいずれもプラズマCVD法で作成されるものであり、このとき下地膜と非晶質シリコン膜を真空中で連続して形成しても良い。この連続形成を行うと、下地膜を形成後、当前記下地膜の表面が大気雰囲気曝露されることを回避できるため、下地膜表面の汚染を防ぐことが可能となり、作成されるTFTの特性バラツキを低減させることができる。

【0149】非晶質シリコン膜を結晶化する工程は、公知のレーザー結晶化技術または熱結晶化の技術を用いれば良い。本実施例では、パルス発振型のKrFエキシマレーザー光を線状に集光して非晶質シリコン膜に照射して結晶質シリコン膜を形成した。

【0150】なお、本実施例では半導体層の形成に非晶質シリコン膜をレーザーあるいは熱により結晶化するという方法を用いているが、微結晶シリコン膜を用いても構わないし、直接結晶質シリコン膜を成膜しても良い。

【0151】こうして形成された結晶質シリコン膜をパターンニングして、島状の半導体層5003、5004、5005、5006が形成された。

【0152】次に、島状の半導体層5003、5004、5005、5006を覆って、酸化シリコンまたは窒化シリコンを主成分とするゲート絶縁膜5007を形成した。ゲート絶縁膜5007は、プラズマCVD法で N_2O と SiH_4 を原料とした窒化酸化シリコン膜を10～200〔nm〕、好ましくは50～150〔nm〕の厚さで形成すれば良い。本実施例においては、100〔nm〕の厚さに形成した。

【0153】そして、ゲート絶縁膜5007の表面に第1のゲート電極となる第1の導電膜5008と、第2のゲート電極となる第2の導電膜5009とを形成した。第1の導電膜5008はSi、Geから選ばれた一種の元素、またはこれらの元素を主成分とする半導体膜で形成すれば良い。また、第1の導電膜5007の厚さは5～50〔nm〕、好ましくは10～30〔nm〕とする必要がある。本実施例においては、20〔nm〕の厚さでSi膜を形成した。

【0154】第1の導電膜として使用する半導体膜にはn型あるいはp型の導電性を付与する不純物元素が添加されていても良い。この半導体膜の作成法は公知の方法に従えば良く、例えば、減圧CVD法で基板温度を450～500〔℃〕として、ジシラン(Si_2H_6)を25

0〔sccm〕、ヘリウム(He)を300〔sccm〕導入して作成することができる。このとき同時に、 Si_2H_6 に対して PH_3 を0.1～2〔%〕混入させてn型の半導体膜を形成しても良い。

【0155】第2のゲート電極となる第2の導電膜は、エッチングで選択比のとれる導電性材料、あるいはこれらを主成分とする化合物で形成すれば良い。これはゲート電極の電気抵抗を下げるために考慮されるものであり、例えば、Mo-W化合物を用いても良い。ここでは、Taを使用し、スパッタ法で、200～1000〔nm〕、代表的には400〔nm〕の厚さに形成した。(図13(A))

【0156】次に公知のパターニング技術を使ってレジストマスクを形成し、第2の導電膜5009をエッチングして第2のゲート電極を形成する工程を行った。第2の導電膜5009はTa膜で形成されているので、ドライエッチング法を用いて行った。ドライエッチングの条件として、 Cl_2 を80〔sccm〕導入して100〔mTorr〕、500〔W〕の高周波電力を投入して行った。そして、図12(B)に示すように第2のゲート電極5010、5011、5012、5013、5014および配線5001を形成した。

【0157】エッチング後に残液が確認された場合は、SPX洗浄液やEKCなどの溶液で洗浄することにより除去すればよい。

【0158】また、第2の導電膜5009はウエットエッチング法で除去しても良い。例えば、Taの場合、フッ酸系のエッチング液を用いて容易に除去することができる。

【0159】そして、n型を付与する第1の不純物元素を添加する工程を行った。この工程は第2の不純物領域を形成するための工程である。本実施例においては、フォスフィン(PH_3)を用いたイオンドープ法で行った。この工程では、ゲート絶縁膜5007と第1の導電膜5008を通してその下の半導体層にリン(P)を添加するために、加速電圧は80〔keV〕と高めに設定する必要がある。半導体層に添加されるリンの濃度は、 $1 \times 10^{16} \sim 1 \times 10^{19}$ 〔atoms/cm³〕の範囲にするのが好ましく、ここでは 1×10^{18} 〔atoms/cm³〕とした。そして、半導体層にリンが添加された領域5015、5016、5017、5018、5019、5020、5021、5022、5023が形成された。(図13(B))

【0160】このとき、第1の導電膜5008において、第2のゲート電極5010、5011、5012、5013、5014および配線5001と重ならない領域にもリンが添加された。この領域のリン濃度は特に規定されるものではないが、第1の導電膜の抵抗率を下げる効果が得られた。

【0161】次にnチャネル型TFTを形成する領域を

レジストマスク5024、5025で覆って、第1の導電膜5008の一部を除去する工程を行った。本実施例においては、ドライエッチング法により行う。第1の導電膜5008はSiであり、ドライエッチングの条件として、 CF_4 を50[sccm]、 O_2 を45[sccm]導入して50[mTorr]、で200[W]の高周波電力を投入して行った。その結果、レジストマスク5024、5025および第2のゲート導電膜に覆われている部分の第1の導電膜5026が残った。

【0162】そして、pチャネル型TFTが形成される領域に、p型を付与する第3の不純物元素を添加する工程を行った。ここではジボラン(B_2H_6)を用いてイオンドーピング法により添加した。ここでも加速電圧を80[keV]として、 2×10^{20} [atoms/cm³]の濃度にボロンを添加した。そして、ボロンが高濃度に添加された第3の不純物領域5027、5028、5029、5030が形成された。(図13(C))

【0163】図14を参照する。第3の不純物元素の添加を行った後、レジストマスク5024、5025を完全に除去して、再度レジストマスク5031、5032、5033、5034、5035、5502を形成した。そして、レジストマスク5031、5033、5034を用いて第1の導電膜をエッチングし、新たに第1の導電膜5036、5037、5038を形成した。

(図14(A))

【0164】そして、n型を付与する第2の不純物元素を添加する工程を行った。本実施例においては、フォスフィン(PH_3)を用いたイオンドーピング法で行った。この工程でも、ゲート絶縁膜5007を通してその下の半導体層にリンを添加するために、加速電圧は80[eV]と高めに設定している。そして、リンが添加された領域5039、5040、5041、5042、5043が形成された。この領域のリンの濃度はn型を付与する第1の不純物元素を添加する工程と比較して高濃度であり、 $1 \times 10^{19} \sim 1 \times 10^{21}$ [atoms/cm³]とするのが好ましく、本実施例においては 1×10^{20} [atoms/cm³]とした。(図14(A))

【0165】さらに、レジストマスク5031、5032、5033、5034、5035、5502を除去して、新たにレジストマスク5044、5045、5046、5047、5048、5503を形成し、第1の導電膜のエッチングを行った。この工程において、nチャネル型TFTに形成されるレジストマスク5044、5046、5047のチャネル長方向の長さはTFTの構造を決める上で重要である。レジストマスク5044、5046、5047は第1の導電膜5036、5037、5038の一部を除去する目的で設けられるものであり、このレジストマスクの長さにより、第2の不純物領域が第1の導電膜と重なる領域と重ならない領域、ある範囲で自由に決めることができる。(図14

(B))

【0166】そして図14(C)に示すように第1のゲート電極5049、5050、5051が形成された。

【0167】以上の工程で、CMOS回路のnチャネル型TFTにはチャネル形成領域5052、第1の不純物領域5053、5054、第2の不純物領域5055、5056が形成された。ここで、第2の不純物領域は、ゲート電極と重なる領域(GOLD領域)5055a、5056aと、ゲート電極と重ならない領域(LDD領域)5055b、5056bがそれぞれ形成されている。そして、第1の不純物領域5053はソース領域として、第1の不純物領域5054はドレイン領域となる。

【0168】pチャネル型TFTは、同様にクラッド構造のゲート電極が形成され、チャネル形成領域5057、第3の不純物領域5058、5059が形成された。そして、第3の不純物領域5059はソース領域、第3の不純物領域5058はドレイン領域となる。

【0169】画素部のスイッチング用nチャネル型TFTはマルチゲートであり、チャネル形成領域5060、5061と第1の不純物領域5062、5063、5064と第2の不純物領域5065、5066、5067、5068が形成された。ここで第2の不純物領域は、ゲート電極と重なる領域5065a、5066a、5067a、5068aおよびゲート電極と重ならない領域5065b、5066b、5067b、5068bとが形成された。

【0170】また、EL駆動用pチャネル型TFTは、CMOS回路におけるpチャネル型TFTと同様の構造をとり、チャネル形成領域5069と第3の不純物領域5070、5071が形成される。第3の不純物領域5070はソース領域、第3の不純物領域5071はドレイン領域となる。(図14(C))

【0171】続いて、窒化シリコン膜5504、第1の層間絶縁膜5072を形成する工程を行った。最初に窒化シリコン膜5504を50[nm]の厚さに成膜した。窒化シリコン膜5504はプラズマCVD法で形成され、 SiH_4 を5[sccm]、 NH_3 を40[sccm]、 N_2 を100[sccm]導入して0.7[Torr]、300

[W]の高周波電力を投入して行った。次に、第1の層間絶縁膜5072を形成した。第1の層間絶縁膜5072としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は400[nm]~1.5[μm]とすれば良い。本実施例では、200[nm]厚の窒化酸化珪素膜の上に800[nm]厚の酸化珪素膜を積層(図示せず)した構造としている。

【0172】さらに、3~100[%]の水素を含む雰囲気中で、300~450[℃]で1~12時間の熱処理を行い水素化処理を行った。この工程は熱的に励起さ

れた水素により半導体膜の不对結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0173】なお、水素化処理は第1の層間絶縁膜5072を形成する間に入れても良い。即ち、200 [nm] 厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り800 [nm] 厚の酸化珪素膜を形成しても構わない。

【0174】次に、第1の層間絶縁膜5072に対してコンタクトホールを形成し、ソース配線5073、5075、5076、5078と、ドレイン配線5074、5077、5079を形成した。なお、本実施例ではこの電極を、Ti膜を100 [nm]、Tiを含むアルミニウム膜を300 [nm]、Ti膜150 [nm] をスパッタ法で連続形成した3層構造（図示せず）の積層膜としているが、勿論、他の導電膜でも良い。

【0175】次に、50～500 [nm]（代表的には200～300 [nm]）の厚さで第1のバッシベーション膜5080を形成した。本実施例では第1のバッシベーション膜5080として300 [nm] 厚の窒化酸化珪素膜を用いている。これは窒化珪素膜で代用しても良い。なお、窒化酸化珪素膜の形成に先立ってH₂、NH₃等水素を含むガスをを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が第1の層間絶縁膜5072に供給され、熱処理を行うことで、第1のバッシベーション膜5080の膜質が改善された。それと同時に、第1の層間絶縁膜5072に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができた。（図15（A））

【0176】次に、有機樹脂からなる第2の層間絶縁膜5081を形成した。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第2の層間絶縁膜5081は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成した。好ましくは1～5 [μm]（さらに好ましくは2～4 [μm]）とすれば良い。

【0177】次に、第2の層間絶縁膜5081及び第1のバッシベーション膜5080にドレイン配線5079に達するコンタクトホールを形成し、画素電極5082を形成した。本実施例では画素電極5082として酸化インジウムに10～20 [wt%] の酸化亜鉛を添加した透明導電膜を120 [nm] の厚さに形成した。（図15（B））

【0178】次に、図16に示すように、樹脂材料でなるバンク5083およびタブ505を形成した。バンク5083は1～2 [μm] 厚のアクリル膜またはポリイミド膜をパターンニングして形成すれば良い。このバ

ンク5083は画素と画素との間にストライプ状に形成される。本実施例ではソース配線5076上に沿って形成するが配線501上に沿って形成しても良い。なおバンク5083を形成している樹脂材料に顔料等を混ぜ、バンク5083を遮光膜として用いても良い。

【0179】次に、EL層5084及び陰極（MgAg電極）5085を、真空蒸着法を用いて大気解放しないで連続形成した。なお、EL層5084の膜厚は80～200 [nm]（典型的には100～120 [nm]）、陰極5085の厚さは180～300 [nm]（典型的には200～250 [nm]）とすれば良い。なお、本実施例では一面素しか図示されていないが、このとき同時に赤色に発光するEL層、緑色に発光するEL層及び青色に発光するEL層を形成した。

【0180】この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次EL層5084及び陰極5085を形成した。但し、EL層5084は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的にEL層5084及び陰極5085を形成するのが好ましい。

【0181】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光のEL層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光のEL層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光のEL層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全面素にEL層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【0182】なお、本実施例ではEL層5084を発光層のみからなる単層構造としているが、EL層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。EL層5084としては公知の材料を用いることができる。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。また、本実施例ではEL素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料を用いても良い。

【0183】最後に、第2のバッシベーション膜5086を形成する。こうして図16に示すような構造のアクティブマトリクス基板が完成した。なお、バンク5083を形成した後、第2のバッシベーション膜5086を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の薄膜形成装置を用いて、大気解放せず

に連続的に処理することは有効である。

【0184】ところで、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、ソース信号線駆動回路の駆動周波数を10 [MHz]以上にすることが可能である。

【0185】まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTFTを、駆動回路部を形成するCMOS回路のnチャネル型TFTとして用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、線順次駆動におけるラッチ、点順次駆動におけるトランスミッションゲートなどが含まれる。

【0186】本実施例の場合、図14 (C)、図16に示すように、nチャネル型TFTの活性層は、ソース領域5053、ドレイン領域5054、GOLD領域5055a、5056a、LDD領域5055b、5056b及びチャネル形成領域5052を含み、GOLD領域5055a、5056aはゲート絶縁膜を介してゲート電極5049と重なっている。

【0187】また、CMOS回路のpチャネル型TFTは、ホットキャリア注入による劣化が殆ど気にならないので、特にLDD領域を設けなくても良い。勿論、nチャネル型TFTと同様にLDD領域を設け、ホットキャリア対策を講じることも可能である。

【0188】その他、駆動回路において、チャネル形成領域を双方向に電流が流れるようなCMOS回路、即ち、ソース領域とドレイン領域の役割が入れ替わるようなCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、チャネル形成領域の両サイドにチャネル形成領域を挟む形でLDD領域を形成することが好ましい。このような例としては、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。また駆動回路において、オフ電流値を極力低く抑える必要のあるCMOS回路が用いられる場合、CMOS回路を形成するnチャネル型TFTは、LDD領域の一部がゲート絶縁膜を介してゲート電極と重なる構成を有していることが好ましい。このような例としては、やはり、点順次駆動に用いられるトランスミッションゲートなどが挙げられる。

【0189】なお、実際には図16の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとEL素子の信頼性が向上する。

【0190】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのFPCを取り付けて製品として完成する。このような出荷できる状態にまでした状態を本明細書中ではELディスプレイ（またはELモジュール）をという。

【0191】[実施例12]本実施例においては、本発明の駆動方法を実施するための回路構成について説明する。

【0192】図17を参照する。図17 (A) は本発明のゲート信号線の複数交互選択を行うための、ゲート信号線駆動回路に関する回路構成を示している。本実施例では簡単のため、例としてゲート信号線選択期間を2つのサブゲート信号線選択期間に分割して駆動する場合についての説明を行う。画素部1753の両側に、ゲート信号線駆動回路1752を配置し、各ゲート信号線駆動回路のバッファ出力から画素部1753に至るまでの間に、スイッチ回路1754、1755を設ける。スイッチ回路1754、1755の構成例を、図17 (B)

(C) に示す。

【0193】スイッチ回路1754、1755には、ゲート信号線選択タイミング切り替え信号が、1本あるいは複数の信号線を介して入力される。図17 (A) においては、ピン11、12より各ゲート信号線駆動回路内のスイッチ回路へと入力されているが、一方のスイッチ回路に入力されるゲート信号線選択タイミング切り替え信号を、インバータを用いて反転して他方に入力されるようにしても良い。これにより、スイッチ回路1754、1755は排他的に動作し、両方が同時に開くことのないように制御され、一方のスイッチ回路1754は前半のサブゲート信号線選択期間中に開き、もう一方のスイッチ回路1755は後半のサブゲート信号線選択期間中に開くことで、2つのサブゲート信号線選択期間について正常にゲート信号線の選択が行われる。

【0194】図18を参照する。図18は本発明のゲート信号線の複数交互選択を行う場合に用いるソース信号線駆動回路に関する回路構成を示している。

【0195】図18 (A) は従来と同様の構成のソース信号線駆動回路を用いた例を示す図である。シフトレジスタ回路 (SR) には、ピン21、22よりクロック信号が、ピン23よりスタートパルスが入力され、順次パルスを出力する。これが第1のラッチパルスとなる。第1のラッチ回路 (LAT1) には、ピン24よりデジタル映像信号が入力され、第1のラッチパルスのタイミングに従ってデジタル映像信号の保持を行う。続いて、水平帰線期間内に第2のラッチパルスがピン25より入力されると、第1のラッチ回路で保持されていたデジタル映像信号は、一斉に第2のラッチ回路 (LAT2) へと転送され、線順次で画素にデジタル映像信号が書き込まれる。続いて次のゲート信号線選択期間の前半と後半

で、それぞれ画素への書き込みおよび点灯が行われる。

【0196】このとき、ゲート信号線選択期間が2つのサブゲート信号線選択期間を有する場合、ソース信号線側では、1ゲート信号線選択期間内の前半および後半の2つのサブゲート信号線選択期間に書き込む信号のサンプリングおよびラッチを完了するため、ソース信号線駆動回路の動作クロック周波数を2倍にする必要がある。これを図29、図30を参照して説明する。

【0197】図29は通常の時間階層方式におけるタイミングチャートである。本図はVGA、4ビット階層、フレーム周波数60 [Hz] の場合（1秒間に60フレームの表示を行う）について示している。以下に説明を記す。

【0198】1表示領域分の画像が完全に表示される期間を1フレームと呼ぶ。1フレーム期間は、図1～5に示したように、複数のサブフレーム期間を有し、1サブフレーム期間はそれぞれがアドレス（書き込み）期間（ T_{a_n} : $n=1, 2, \dots$ ）とサステイン（点灯）期間（ T_{s_n} : $n=1, 2, \dots$ ）を有する。1フレーム期間が有するサブフレーム期間の数は、表示する階層のビット数に等しく、 n ビットの階層を表現するには、サステイン（点灯）期間の長さを、 $T_{s_1}: T_{s_2}: \dots: T_{s_n-1}: T_{s_n} = 2^{n-1}: 2^{n-2}: \dots: 2^1: 2^0$ とし、点灯期間の長さで輝度を制御する。図29においては4ビット階層であるので、 $T_{s_1}: T_{s_2}: T_{s_3}: T_{s_4} = 2^3: 2^2: 2^1: 2^0$ となる。

【0199】アドレス（書き込み）期間は482（480段+ダミー2段とする場合）段のゲート信号線選択期間（水平期間）を有する。1ゲート信号線選択期間の前半の、ドットデータサンプリング期間で、1水平期間分のデータが順番に第1のラッチ回路に保持される。その後のラインデータラッチ期間で、1水平期間分のデータが一斉に第2のラッチ回路に転送される。

【0200】図30は、図17、図18（A）に示した回路を用いて、本発明の駆動方法を実施するためのタイミングチャートを示している。1フレーム期間は図29と同様、表示ビット数分のサブフレーム期間を有するが、本発明の駆動方法を用いる場合、1つのゲート信号線選択期間が複数（本実施例においては2つ）のサブゲート信号線選択期間を有し、あるサブゲート信号線選択期間で書き込みを行っている間、その直前のサブゲート信号線選択期間で書き込みの行われた画素は既に点灯を開始しているため、アドレス（書き込み）期間とサステイン（点灯）期間は見かけ上分離していないことになる。

【0201】本例では、1ゲート信号線選択期間（水平期間）を2つのサブゲート信号線選択期間に分割している。よって、1つのソース信号線駆動回路が、1水平期間内に前半および後半のサブゲート信号線選択期間の各々の期間に書き込む信号のサンプリングおよびラッチを

完了しなければならない。すなわち、図30に示すように、ドットデータサンプリング期間およびデータラッチ期間は、図29の場合と比較して半分の長さとなることわかる。故に、本実施例で示したソース信号線駆動回路を用いて本発明の駆動方法を実施するには、ソース信号線駆動回路の動作クロック周波数を2倍とする必要が生ずる。

【0202】図18（B）は、画素マトリクスの両側に2組のソース信号線駆動回路を配置する例である。本例で説明する回路は、第2のラッチ回路と画素部との間にスイッチ回路1854、1855を有する。シフトレジスタ回路、第1のラッチ回路、第2のラッチ回路の一連の動作は図18（A）と同様であるので説明を省略するが、2つのソース信号線駆動回路の内、一方は前半のサブゲート信号線選択期間内の書き込みを担当し、他方は後半のサブゲート信号線選択期間内の書き込みを担当する。ゲート信号線駆動回路1852に関しては、図17に示したものをを用いれば良い。

【0203】スイッチ回路1854、1855には、ラッチ出力切り替え信号が、1本あるいは複数の信号線を介して入力される。図18（B）では、ピン31、32よりそれぞれ入力されるように示しているが、一方のスイッチ回路に入力されるラッチ出力切り替え信号を、インバータを通して反転させて他方に入力しても良い。つまり、スイッチ回路1854、1855は排他的に動作し、両方が同時に開くことのないように制御され、一方のスイッチ回路1854は前半のサブゲート信号線選択期間中に信号を書き込む期間に開き、もう一方のスイッチ回路1855は後半のサブゲート信号線選択期間中に信号を書き込む期間に開く。この順序は逆でも同様の動作をする。このような構成の回路を用いることで、ソース信号線駆動回路の駆動周波数を上げることなく、2つのサブゲート信号線選択期間のそれぞれの期間に正常に画素への信号の書き込みを行うことができる。反面、画素マトリクスの両側に駆動回路が配置されるため、装置全体の占有面積が拡大する点がある。

【0204】図31を参照する。図31は図17、図18（B）に示した回路を用いて、本発明の駆動方法を実施するためのタイミングチャートを示している。1フレーム期間を表示ビット数分のサブフレーム期間を有し、さらにそのサブフレーム期間が482（480段+ダミー2段とする場合）段のゲート信号線選択期間（水平期間）を有する点は図30と同様である。

【0205】ここで、図18（B）に示したように、1本のソース信号線を複数（本実施例で示した例では2個）のソース信号線駆動回路を用いて駆動し、スイッチ回路によりいずれかのソース信号線駆動回路の信号をソース信号線に入力する場合には、図18（A）の回路と異なり、異なるサブゲート信号線選択期間への書き込みを、各々のソース信号線駆動回路が分担することで、並

列処理を行うことができる。よって図31に示すように、サブゲート信号線選択期間の前半に書き込む分および後半に書き込む分について、それぞれが別のソース信号線駆動回路によって、1水平期間内で並列にサンプリング・ラッチ動作を行うことができるため、ソース信号線駆動回路の動作クロック周波数を上げることなく、図18(A)に示した回路と同等の処理をすることが可能となる。

【0206】なお、本実施例で示した回路におけるスイッチ回路は外部からの制御信号の入力によって導通、非導通の状態をとれるものであればどのような構造を用いても良い。簡単な例では、ゲート信号線駆動回路にて用いたスイッチ回路(図17(B)(C)に示したもの)と同様のものを用いればよい。

【0207】[実施例13]本実施例においては、実施例12とは異なるソース信号線駆動回路の構成の例について説明する。本実施例では簡単のため、例としてゲート信号線選択期間を2つのサブゲート信号線選択期間に分割して駆動する場合についての説明を行う。

【0208】図19を参照する。図19は2組のソース信号線駆動回路を、シフトレジスタ回路を共通とすることにより画素マトリクスに配置した場合の回路構成を示している。実施例12にて示した図18(B)において、一方を第1のソース信号線駆動回路、他方を第2のソース信号線駆動回路とすると、図19(A)では、シフトレジスタ回路(SR)を共用して、シフトレジスタ回路、第1のラッチ回路A(L1A)、第2のラッチ回路A(L2A)、スイッチ回路(SW)の流れで構成される部分が第1のソース信号線駆動回路、シフトレジスタ回路、第1のラッチ回路B(L1B)、第2のラッチ回路B(L2B)、スイッチ回路(SW)の流れで構成される部分が第2のソース信号線駆動回路に該当する。ゲート信号線駆動回路に関しては、図17にて示したものをを用いれば良い。

【0209】回路の動作について説明する。シフトレジスタ回路に、ピン41、42よりクロック信号が、ピン43よりスタートパルスが入力され、第1のラッチ回路L1AおよびL1Bに順番にパルスが出力される。これが第1のラッチパルスとなる。第1のラッチ回路L1AおよびL1Bにはデジタルデータ信号1および2が、ピン44より入力され、第1のラッチパルスに従って、順番にデータが書き込まれる。このとき、L1A、L1Bは第1のラッチパルスを共用するので、第1のソース信号線駆動回路と第2のソース信号線駆動回路は同時に動作する。続いて、水平帰線期間中にピン45より第2のラッチパルスが入力され、第1のラッチ回路L1A、L1Bに書き込まれたデータが一斉に第2のラッチ回路L2A、L2Bにそれぞれ転送される。このとき、第1のソース信号線駆動回路からは、前半のサブゲート信号線選択期間中に書き込みが行われるデータ(これをデータ

Aと表記する)が、L2Aから出力され、第2のソース信号線駆動回路からは、後半のサブゲート信号線選択期間中に書き込みが行われるデータ(これをデータBと表記する)が、L2Bから出力される。

【0210】続いて、次のゲート信号線選択期間に、第2のラッチ回路と画素マトリクスとの間に配置されたスイッチ回路1954は、1本あるいは複数の信号線を介してラッチ出力切り替え信号が入力されることによって、データAとデータBのいずれかを選択して画素部に出力し、信号の書き込みが行われる。このような回路を用いることにより、実施例12で示した回路例に比べて、回路の小面積化が可能となる。

【0211】本実施例において示した回路も、2つのサブゲート信号線選択期間に書き込むそれぞれの信号を並列してサンプリング・ラッチすることが可能であり、ソース信号線駆動回路の動作クロック周波数を上げることなく、図18(A)に示した回路と同等の処理をすることが可能となる。

【0212】なお、本実施例にて示した回路の構成については、シフトレジスタ回路、ラッチ回路は従来のものをそのまま用いれば良く、スイッチ回路は複数入力(本実施例においては2入力)のうち一方を選択して出力できるものであればどのような構造を用いても良い。また本実施例におけるスイッチ回路1954の例を図19

(B)に示す。ここでは2入力1出力のものに関して例を示したが、3入力以上の場合においてもスイッチを増やすことで基本的に同様の回路を用いれば良い。ただし、回路構成に関してはこの限りではない。

【0213】[実施例14]本実施例においては、実施例12の一部および実施例13で示した回路とは異なる回路構成の実施例について説明する。本実施例では簡単のため、例としてゲート信号線選択期間を2つのサブゲート信号線選択期間に分割して駆動する場合についての説明を行う。

【0214】図20を参照する。図20は図19と同様、シフトレジスタ回路を2系統のラッチ回路で共用することで片側にソース信号線駆動回路を集積した例を示している。本実施例にて示している回路は、シフトレジスタ回路と第1のラッチ回路との間に2入力型NAND回路を有している点に特徴がある。この2入力型NAND回路を、第1のラッチ回路L1Aに出力線が接続されているものをNAND-A、第1のラッチ回路L1Bに出力線が接続されているものをNAND-Bと表記する。本実施例で示した駆動回路においても、実施例13と同様、2つのソース信号線駆動回路を、シフトレジスタ回路を共用として一体化した形態であり、それぞれ、第1のソース信号線駆動回路、第2のソース信号線駆動回路とする。また、ゲート信号線駆動回路に関しては、実施例13と同様、図17にて示したものをを用いれば良い。

【0215】回路の動作について説明する。シフトレジスタ回路にはピン41、42よりクロック信号（これを以後、第1のクロック信号とする）が、ピン43よりスタートパルスが入力され、順番にパルスが出力される。続いてこのパルスは、NAND回路の2入力端子のうち的一方に入力される。NAND-Aの残る一方の入力端子には、シフトレジスタ回路に入力されている第1のクロック信号の2倍の周波数を有する信号（これを以後、第2のクロック信号と表記する）が入力され、NAND-Bの残る一方の入力端子には、第2のクロック信号の反転信号が入力される。これにより、第1のラッチ回路L1A、L1Bには、シフトレジスタ回路からの出力パルスの半分のパルス幅を有するパルスが入力される。このとき、L1Aに入力されるパルスは、前記シフトレジスタ回路からの出力パルスの前半分、L1Bに入力されるパルスは前記シフトレジスタ回路からの出力パルスの後半分のタイミングで出力されている。以後は実施例13で説明した動作方法に従い、画素部に書き込みが行われる。

【0216】つまり、本実施例で示した回路を用いることにより、第1のラッチ回路以降の動作は実施例13で示した回路と同様の動作を実現し、かつシフトレジスタの動作クロックを、実施例13で示した回路の半分に抑えることが可能となるため、回路の信頼性向上の面で有利となる。反面、駆動回路内の素子数がやや増加する。

【0217】本実施例において示した回路も、ソース信号線駆動回路におけるドットデータサンプリング期間とラインデータラッチ期間は通常の時間階調表示の場合と同じ時間とすることができると、ソース信号線駆動回路の動作クロック周波数を上げることなく、図18

(A)に示した回路と同等の処理をすることが可能となる。かつ、シフトレジスタ回路部は通常の時間階調表示の場合に比較してさらに半分の動作クロック周波数に抑えることが可能である。

【0218】なお、本実施例にて示した回路の構成については、シフトレジスタ回路、ラッチ回路、NAND回路は従来のものをそのまま用いても良く、スイッチ回路2054は複数入力（本実施例においては2入力）のうち一方を選択して出力できるものであれば如何様な構造を用いても良い。簡単な例では、実施例13にて用いた、図19(B)に示したものと同様で良い。また、NAND-Bに入力される第2のクロック信号の反転信号は、図20においては第2のクロック信号からインバータを用いて反転させることで作っているが、外部から第2のクロック信号の反転信号を直接入力するようにしても良い。

【0219】[実施例15]本発明の駆動方法を、実際に電子装置にて使用する場合、回路内部で生ずる信号の遅延によるタイミングずれを原因として問題が生ずる場合が考えられる。本実施例においては、それらの問題を踏

まえた上での駆動方法について説明する。

【0220】駆動回路内部で信号の遅延によるタイミングずれが生じた場合、一般にはある程度の遅延を許容するようにマージンを取った上で設計が行われている。例えば、1フレーム期間＝1水平期間×ゲート信号線本数＋帰線期間とし、もしゲート信号線選択パルスに遅延が生じた場合にも、帰線期間でその遅延を吸収し、次のフレーム期間には影響しないようにしている。

【0221】本発明において、1水平期間を例えば2つのサブゲート信号線選択期間に分割する際には、図35に示すように、サブゲート期間選択パルスが出力される。このサブゲート期間選択パルスの出力タイミングは、ゲート信号線選択パルス1パルス分の幅にちょうど1周期分が入るようにしなければならない。これは、図35において、それぞれ、サブゲート期間選択パルス（正常）として示している。第1のゲート信号線選択パルス*i*行目、第1のゲート信号線選択パルス*i*＋1行目、第2のゲート信号線選択パルス*i*行目、および第2のゲート信号線選択パルス*i*＋1行目のそれぞれのパルス幅に、ちょうどサブゲート期間選択パルス（正常）の1周期分が入っているのがわかる。

【0222】前半のサブゲート信号線選択期間においては、サブゲート期間選択パルスがH*i*、*i*行目の第1のゲート信号線選択パルスがH*i*（選択されている状態。回路の組み方によっては選択状態においてL*o*となっても構わない）の時、*i*行目のゲート信号線が選択される。後半のサブゲート信号線選択期間においては、サブゲート期間選択パルスがL*o*、*i*行目の第2のゲート信号線選択パルスがH*i*（選択されている状態。回路の組み方によっては選択状態においてL*o*となっても構わない）の時、*i*行目のゲート信号線が選択される。

【0223】ここで、サブゲート期間選択パルスと、ゲート信号線選択パルスにタイミングずれが生じた場合を考える。タイミングずれの態様としては、ゲート信号線選択パルスに対して、サブゲート期間選択パルスが遅れる場合と、逆にサブゲート期間選択パルスに対してゲート信号線選択パルスが遅れる場合とが考えられるが、ここでは説明を明確にするため、ゲート信号線選択パルスを基準として、サブゲート期間選択パルスが遅れて出力される場合と、逆に早く出力される場合というように、相対的にとらえることとする。

【0224】(1)サブゲート期間選択パルスが遅れて出力される場合

図36(A)を参照する。正常なタイミングで出力される場合のサブゲート期間選択パルスを9001に対し、遅れて出力されるサブゲート期間選択パルスを9002で示す。図中、各ゲート信号線は、サブゲート期間選択パルスがH*i*の時、ゲート信号線選択期間の前半に選択され、L*o*の時、ゲート信号線選択期間の後半に選択されるものとしている。

【0225】ゲート信号線選択期間の前半においては、 i 行目の第1のゲート信号線選択パルス9003が出力された後、やや遅れてサブゲート期間選択パルス9002がHiとなる。よって、パルス9007で示される期間、 i 行目のゲート信号線が選択状態となる。一方、ゲート信号線選択期間の後半においては、 i 行目の第2のゲート信号線選択パルスが出力される瞬間には、サブゲート期間選択パルスは遅延のため、まだHiとなっていない。よって、パルス9009で示される期間は、 i 行目のゲート信号線は選択状態となる。その後、サブゲート期間選択パルスはHiとなり、再びLoとなつてから i 行目の第2のゲート信号線選択パルスがLo（非選択状態）となるまでの期間、つまりパルス9010で示される期間、 i 行目のゲート信号線は選択状態となる。 $i+1$ 行目のゲート信号線についても、同様に、それぞれパルス9008、9011、9012で示される期間だけ選択が行われる。

【0226】このとき、サブゲート信号線選択期間の前半と後半とで、それぞれ信号の書き込みが行われる場合に、どのような動作をするかを考える。具体例として、実施例3にて示した、サブゲート信号線選択期間の一方では映像信号を、残る一方ではリセット信号を書き込む場合を考える。

【0227】（1-1）前半に映像信号、後半にリセット信号を書き込む場合

i 行目、 $i+1$ 行目のゲート信号線が、それぞれ前半のサブゲート期間で選択状態となる期間は、9007、9008で示すように、本来のタイミングからやや遅れているが、このタイミングで i 行目の映像信号が書き込まれるため、動作に大きな問題は生じない。

【0228】これに対して、 i 行目、 $i+1$ 行目のゲート信号線が、それぞれ後半のサブゲート期間で選択状態となる期間は、9009、9010、9011、9012で示すように、各ゲート信号線選択期間の中で2つの期間に分かれることになる。この場合、 i 行目のゲート信号線が9009で示すタイミングで選択される期間は、本来は $i-1$ 行目のゲート信号線が選択されているべき期間である。同様に、 $i+1$ 行目のゲート信号線が9011で示すタイミングで選択される時は、本来は i 行目のゲート信号線が選択されているべき期間である。すなわち、 i 行目においては、9009で示すタイミングでは $i-1$ 行目に書き込むリセット信号が書き込まれ、 $i+1$ 行目においては、9011で示すタイミングでは i 行目に書き込むリセット信号が書き込まれることになる。結果として、本来のタイミングよりも1水平期間分だけ早いタイミングでE_L素子は消灯する。やや階調が低下するが、全体で階調の逆転が生ずることはないため、大きな問題ではないといえる。また、それぞれ前行のリセット信号が書き込まれた後で、9010、9012で示すタイミングではそれぞれ i 行目、 $i+1$ 行目

では本来のリセット信号が出力されるが、既にE_L素子は消灯しているため、この動作による表示の変化はない。（図36（B））

【0229】（1-2）前半にリセット信号、後半に映像信号を書き込む場合

前述と同様、前半のサブゲート選択期間にゲート信号線が選択される場合、単に選択期間が遅延するだけであるから、問題は生じない。正しい長さのサステイン期間の終了後、リセット信号が書き込まれてE_L素子は消灯する。

【0230】9009、9011で示す期間で、 i 行目、 $i+1$ 行目のゲート信号線が選択される時、 i 行目においては、 $i-1$ 行目の映像信号が書き込まれ、 $i+1$ 行目においては i 行目の映像信号が書き込まれる。ただし、その直後に9010、9012で示すタイミングで再びゲート信号線は選択状態となり、この期間ではそれぞれ正しい映像信号が書き込まれるため、それぞれの行では映像信号が上書きされる形となり、大きな問題とはならない。（図36（C））

【0231】（2）サブゲート期間選択パルスが早く出力される場合

図37（A）を参照する。正常なタイミングで出力される場合のサブゲート期間選択パルスを9101に対し、早く出力されるサブゲート期間選択パルスを9002で示す。図中、各ゲート信号線は、サブゲート期間選択パルスがHiの時、ゲート信号線選択期間の前半に選択され、Loの時、ゲート信号線選択期間の後半に選択されるものとしている。

【0232】ゲート信号線選択期間の前半においては、 i 行目の第1のゲート信号線選択パルス9103が出力された瞬間には、既にサブゲート期間選択パルスはHiとなっている（9102）ため、直ちに i 行目のゲート信号線が選択状態となる（9107）。その後、サブゲート期間選択パルスがLoとなり、 i 行目のゲート信号線は非選択状態に戻るが、すぐ後でサブゲート期間選択パルスが再びHiとなるため、再び i 行目のゲート信号線は選択状態となる（9108）。一方、ゲート信号線選択期間の後半においては、 i 行目の第2のゲート信号線選択パルス出力9106がHiとなり、サブゲート期間選択パルスがLoとなる期間において選択状態となる（9111）。 $i+1$ 行目のゲート信号線についても、同様に、それぞれパルス9109、9110、9112で示される期間だけ選択が行われる。

【0233】ここで、前述と同様、サブゲート信号線選択期間の一方では映像信号を、残る一方ではリセット信号を書き込む場合を考える。

【0234】（2-1）前半に映像信号、後半にリセット信号を書き込む場合

i 行目、 $i+1$ 行目のゲート信号線が、それぞれ前半のサブゲート期間で選択状態となる期間は、9107、9

108、9109、9110で示すように、各ゲート信号線選択期間の中で2つの期間に分かれることになる。この場合、 i 行目のゲート信号線が9108で示されるタイミングで選択される期間は、本来は $i+1$ 行目のゲート信号線が選択されているべき期間である。同様に、 $i+1$ 行目のゲート信号線が9110で示されるタイミングで選択される期間は、本来は $i+2$ 行目のゲート信号線が選択されているべき期間である。このとき、ゲート信号線選択期間の前半で映像信号が書き込まれるとすると、 i 行目においては9107で示す期間で映像信号の書き込みが行われる。しかし、その直後、9108で示す期間ではさらに $i+1$ 行目に書き込まれるべき映像信号の書き込みが行われることになり、以後のサステイン（点灯）期間では、 $i+1$ 行目の映像が書き込まれた状態で表示されてしまう。あるいは、9108で示す期間は時間が短いため、 $i+1$ 行目の映像信号が満足に書き込まれないままサステイン（点灯）期間に入ることとなり、この場合は正常にEL素子を点灯させることは出来ない。 $i+1$ 行目についても同様に、本来の映像信号の書き込みが終了した直後、次列の映像信号が書き込まれるために正常に表示が出来なくなるという問題が生ずる。（図37（B））

【0235】一方、ゲート信号線選択期間の後半においては、ややゲート信号線が選択状態となるタイミングが早まるため、わずかに早くリセット信号が書き込まれることになる。つまり、各サステイン（点灯）期間が、サブゲート期間選択パルスとゲート信号線選択パルスの出力タイミングのずれの分だけ短くなるということになるが、こちらは問題とはならない。

【0236】（2-2）前半にリセット信号、後半に映像信号を書き込む場合

ゲート信号線の選択期間が、9107、9108、9109、9110で示す期間となる部分でリセット信号が書き込まれる場合を考えると、図37（C）に示すように、正常なタイミングで i 行目および $i+1$ 行目にはリセット信号が書き込まれて、非表示期間となる。その直後、9108、9110でそれぞれ示すタイミングで、 i 行目には $i+1$ 行目のリセット信号が、 $i+1$ 行目には $i+2$ 行目のリセット信号が書き込まれるが、その時点ではいずれの行も既に非表示期間となっているため、何らの変化もなく、問題とはならない。

【0237】以上のように、パルスの出力タイミングのずれが生じた場合に、ゲート信号線選択期間の前半と後半にどの処理を行うかによって、問題の大小には大きな差が生ずる。ここで説明した全ての場合を考えると、ゲート信号線選択期間の前半においてはリセット信号の書き込み（念のため、ここでいうリセット信号とは、各行において、1つ前のサブフレーム期間におけるサステイン（点灯）期間の後に非表示期間を設けるための信号である。）を行い、ゲート信号線選択期間の後半には映像

信号の書き込みを行うという方法が望ましいことになる。

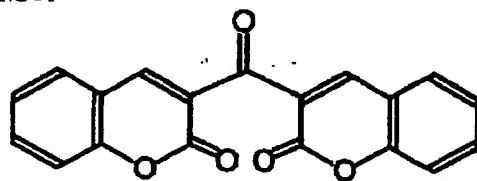
【0238】以上のように、本発明の電子装置およびその駆動方法は、容易に実施が可能であり、またその方法の実施には、実施例1～15に示したいずれの方法を用いて実施しても良く、また複数の実施例を組み合わせる用いても良い。

【0239】【実施例16】本発明において、三重項励起子からの燐光を発光に利用できるEL材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、EL素子の低消費電力化、長寿命化、および軽量化が可能になる。

【0240】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。T. Tsutsui, C. Adachi, S. Saito, *Photochemical Processes in Organized Molecular Systems*, ed. K. Honda, (Elsevier Sci. Publ., Tokyo, 1991) p. 437.）上記の論文により報告されたEL材料（クマリン色素）の分子式を以下に示す。

【0241】

【化1】

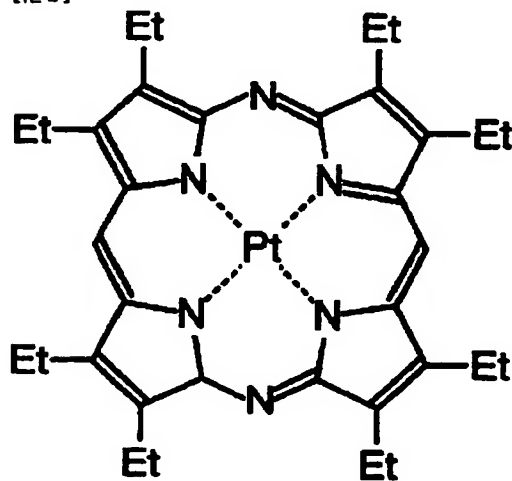


【0242】M. A. Baldo, D. F. O'Brien, Y. You, A. Shoustikov, S. Sibley, M. E. Thompson, S. R. Forrest, *Nature* 395 (1998) p. 151.）

上記の論文により報告されたEL材料（Pt錯体）の分子式を以下に示す。

【0243】

【化2】



【0244】M. A. Baldo, S. Lamansky, P. E. Burrows,

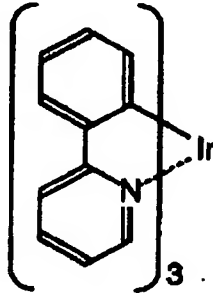
M. E. Thompson, S. R. Forrest, Appl. Phys. Lett., 75 (1999) p. 4.)

(T. Tsutsui, M. -J. Yang, M. Yabito, K. Nakamura, T. Watanabe, T. Tsuji, Y. Fukuda, T. Wakimoto, S. Mayaguchi, Jpn. Appl. Phys., 38 (12B) (1999) L1502.)

上記の論文により報告されたEL材料(Ir錯体)の分子式を以下に示す。

【0245】

【化3】



【0246】以上のように三重項励起子からの蛍光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例1～実施例15のいずれの構成とも自由に組みあわせて実施することが可能である。

【0247】【実施例17】本発明のELディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）のEL表示装置（ELディスプレイを筐体に組み込んだ表示装置）の表示部として本発明のELディスプレイを用いるとよい。

【0248】なお、EL表示装置には、パソコン用表示装置、TV放送受信用表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部として本発明のELディスプレイを用いることができる。

【0249】その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが

重要視されるため、ELディスプレイを用いることが望ましい。それら電子機器の具体例を図32及び図33に示す。

【0250】図32（A）はELディスプレイであり、筐体3201、支持台3202、表示部3203等を含む。本発明は表示部3203に用いることができる。ELディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【0251】図32（B）はビデオカメラであり、本体3211、表示部3212、音声入力部3213、操作スイッチ3214、バッテリー3215、受像部3216等を含む。本発明のELディスプレイは表示部3212に用いることができる。

【0252】図32（C）はヘッドマウントELディスプレイの一部（右片側）であり、本体3221、信号ケーブル3222、頭部固定バンド3223、表示部3224、光学系3225、ELディスプレイ3226等を含む。本発明はELディスプレイ3226に用いることができる。

【0253】図32（D）は記録媒体を備えた画像再生装置（具体的にはDVD再生装置）であり、本体3231、記録媒体（DVD等）3232、操作スイッチ3233、表示部（a）3234、表示部（b）3235等を含む。表示部（a）3234は主として画像情報を表示し、表示部（b）3235は主として文字情報を表示するが、本発明のELディスプレイはこれら表示部

（a）3234、表示部（b）3235に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0254】図32（E）はゴーグル型表示装置（ヘッドマウントディスプレイ）であり、本体3241、表示部3242、アーム部3243を含む。本発明のELディスプレイは表示部3242に用いることができる。

【0255】図32（F）はパーソナルコンピュータであり、本体3251、筐体3252、表示部3253、キーボード3254等を含む。本発明のELディスプレイは表示部3253に用いることができる。

【0256】なお、将来的にEL材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【0257】また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。EL材料の応答速度は非常に高いため、ELディスプレイは動画表示に好ましい。

【0258】また、ELディスプレイは発光している部分が電力を消費するため、発光部分が極力少なくなるよ

うに情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部にELディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0259】図33(A)は携帯電話であり、本体3301、音声出力部3302、音声入力部3303、表示部3304、操作スイッチ3305、アンテナ3306を含む。本発明のELディスプレイは表示部3304に用いることができる。なお、表示部3304は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【0260】図33(B)は音響再生装置、具体的にはカーオーディオであり、本体3311、表示部3312、操作スイッチ3313、3314を含む。本発明のELディスプレイは表示部3312に用いることができる。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用いても良い。なお、表示部3312は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0261】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1~16に示したいずれの構成のELディスプレイを用いても良い。

【0262】

【発明の効果】本発明の効果について説明する。本発明の駆動方法では、ゲート信号線選択期間を複数のサブゲート信号線選択期間に分割することにより、1回のゲート信号線選択期間内に、複数段の画素に信号を書き込むことができる。それにより、ある段の画素において、信号を入力してから次の信号を入力するまでの時間を、画素への書き込み時間を確保した上でならばある程度任意に設定することができる。したがって、従来の駆動方法のように、アドレス（書き込み）期間とサステイン（点灯）期間とを分離せずに、サステイン（点灯）期間を任意に設定することができるため、デューティー比を最大100[%]まで大きくすることができる。よって、デューティー比が小さいために生ずる様々な問題を回避することができる。

【0263】また、アドレス（書き込み）期間中においても、EL素子を点灯させることができる。よって、アドレス（書き込み）期間が長くなった場合にもサステイン（点灯）期間を圧迫することを回避することができる。すなわち、回路動作が遅い場合にも、十分なサステイン（点灯）期間を確保することができる。結果として、駆動回路の動作周波数を低く抑えることができ、消費電力を小さくすることができる。

【0264】また、あるサブフレーム期間に、前段の画素への書き込みが終了する前に、再び画素に書き込みを

始めることができるため、画素の信号保持能力が小さい場合にも問題ない。結果として、スイッチング用TFTや保持容量のサイズを小さく設計することができる。

【0265】また、画素の構成は従来と同様で構わないため、TFTや容量、配線等の数が少なくて済む。その結果、画素部の開口率の向上が見込める。

【図面の簡単な説明】

【図1】 ゲート信号線複数同時選択のタイミングチャートを示す図。

【図2】 アドレス（書き込み）期間の重複が生ずるタイミングチャートを示す図。

【図3】 実施例1に示している本発明の駆動方法によるタイミングチャートを示す図。

【図4】 実施例2に示している本発明の駆動方法によるタイミングチャートを示す図。

【図5】 実施例3に示している本発明の駆動方法によるタイミングチャートを示す図。

【図6】 実施例4に示している本発明の駆動回路の回路図。

【図7】 実施例5に示しているEL表示装置の上面図および断面図。

【図8】 実施例6に示しているEL表示装置の上面図および断面図。

【図9】 実施例7に示しているEL表示装置の断面図。

【図10】 実施例7に示しているEL表示装置の画素マトリクス部分図および等価回路図。

【図11】 実施例8に示しているEL表示装置の断面図。

【図12】 実施例9に示しているEL表示装置の画素部の回路構成例の図。

【図13】 実施例11に示しているEL表示装置の作製工程例を示す図。

【図14】 実施例11に示しているEL表示装置の作製工程例を示す図。

【図15】 実施例11に示しているEL表示装置の作製工程例を示す図。

【図16】 実施例11に示しているEL表示装置の作製工程例を示す図。

【図17】 実施例12に示しているEL表示装置の回路構成例を示す図。

【図18】 実施例12に示しているEL表示装置の回路構成例を示す図。

【図19】 実施例13に示しているEL表示装置の回路構成例を示す図。

【図20】 実施例14に示しているEL表示装置の回路構成例を示す図。

【図21】 EL表示装置の画素部の回路図。

【図22】 EL素子の輝度特性および電圧-電流特性を模式的に示す図。

- 【図23】 EL素子の動作点を示す図。
 【図24】 アナログ階調とデジタル階調におけるEL素子の動作領域を示す図。
 【図25】 EL駆動用TFTのしきい値と移動度の、EL点灯開始電圧への影響を示す図。
 【図26】 フレーム期間の分割例を示す図。
 【図27】 本発明の実施形態を示す図。
 【図28】 ゲート信号線複数同時選択を示す図。
 【図29】 時間階調表示方式におけるタイミングチャートの例を示す図。
 【図30】 実施例12の回路構成におけるタイミングチャートの例を示す図。
 【図31】 実施例12～14の回路構成におけるタイミングチャートの例を示す図。
 【図32】 本発明の電子装置を組み込んだEL表示装

置に用いた電子機器の例を示す図。

【図33】 本発明の電子装置を組み込んだEL表示装置に用いた電子機器の例を示す図。

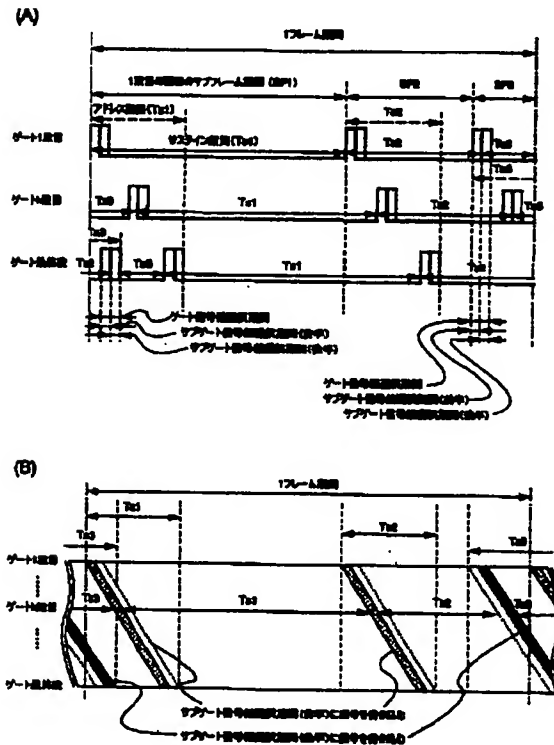
【図34】 本発明を実施するためのゲート信号線駆動回路の構成例を示す図。

【図35】 実施例15に示している本発明の駆動方法による正常なタイミングチャートと信号の書き込みの状態を示す図。

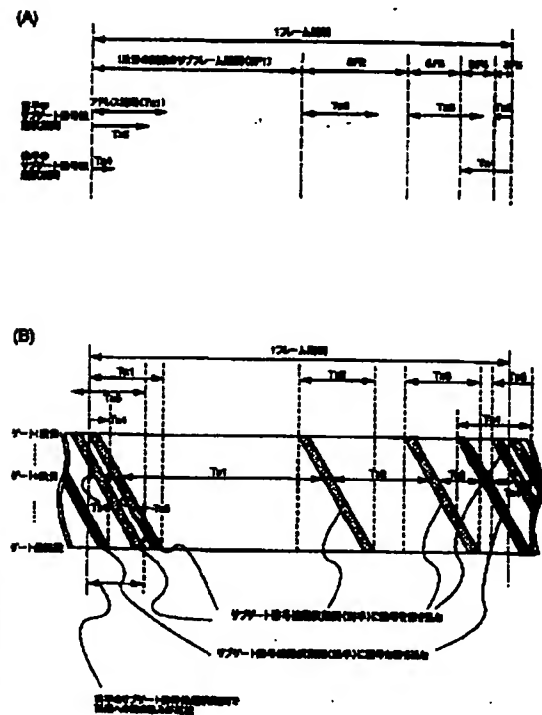
【図36】 実施例15に示している本発明の駆動方法において、信号遅延等によるずれを伴う場合のタイミングチャートと信号の書き込みの状態を示す図。

【図37】 実施例15に示している本発明の駆動方法において、信号遅延等によるずれを伴う場合のタイミングチャートと信号の書き込みの状態を示す図。

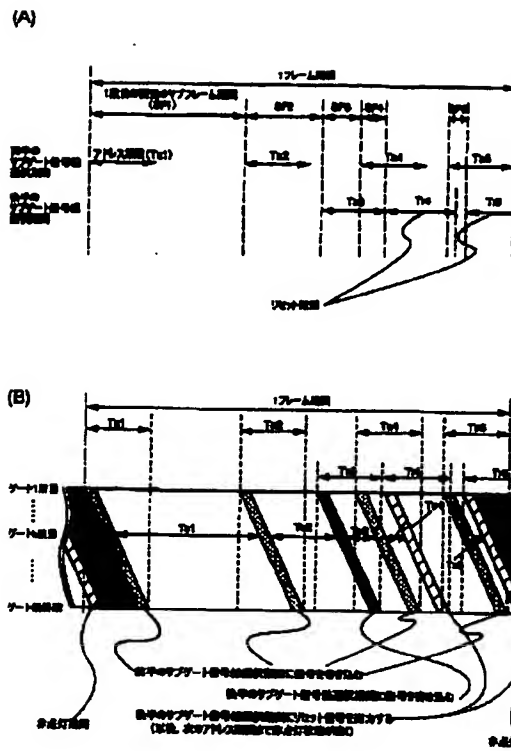
【図1】



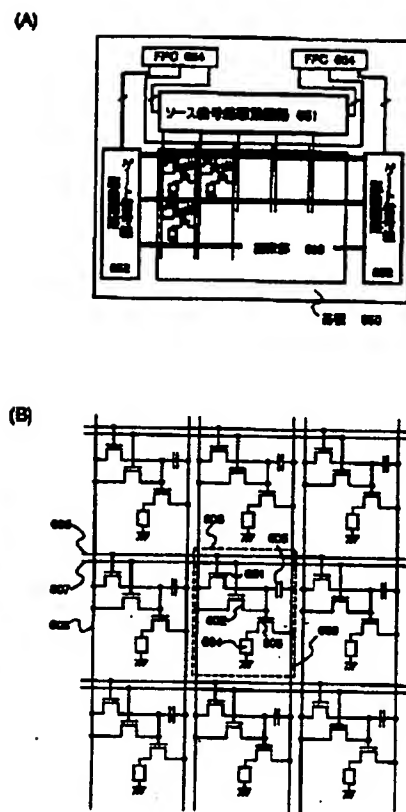
【図2】



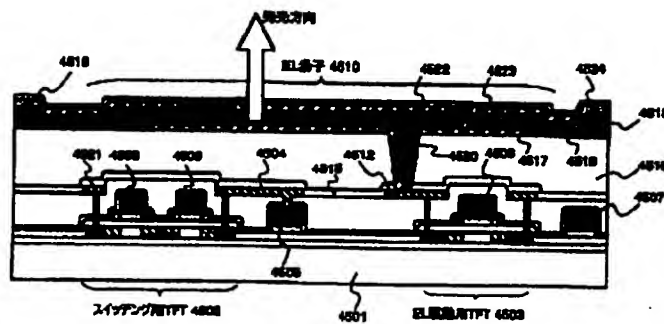
【図5】



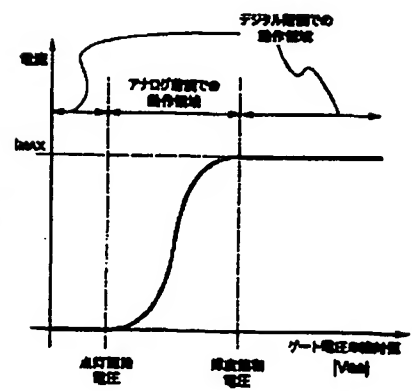
【図6】



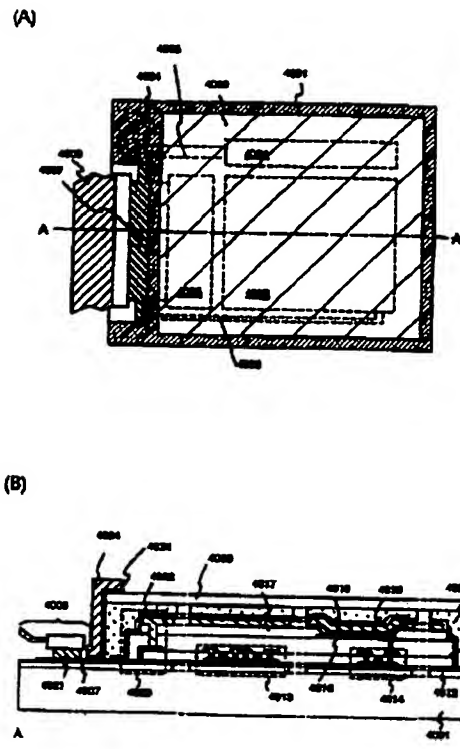
【図9】



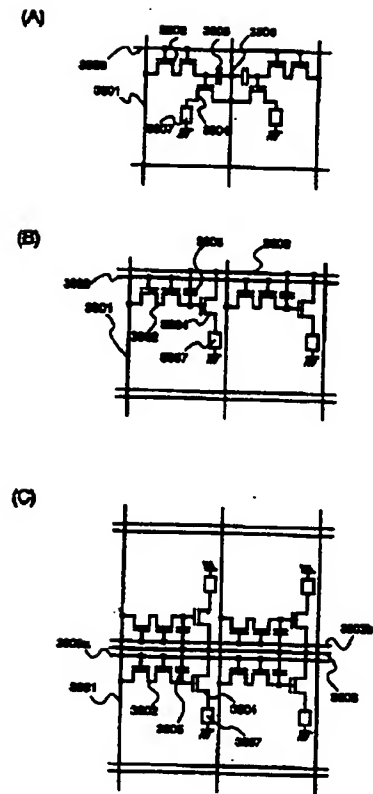
【図24】



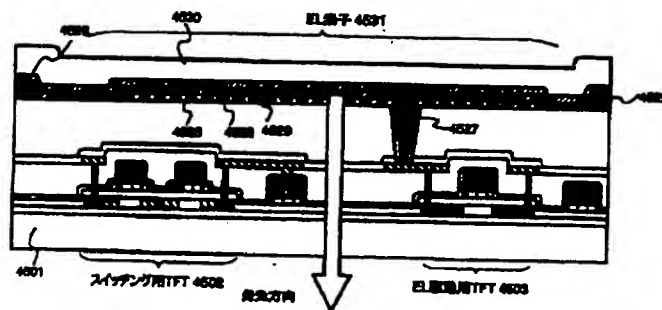
【図8】



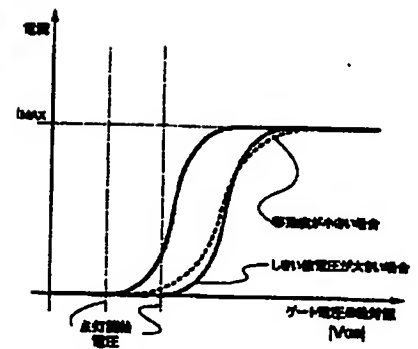
【図12】



【図11】



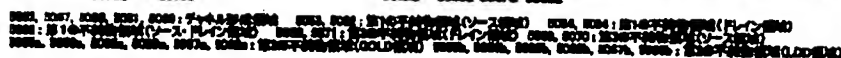
【図25】



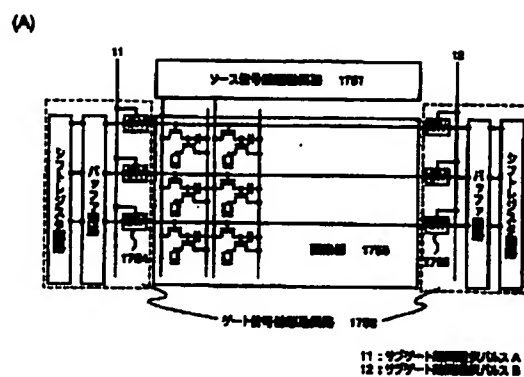
(A) 島状半導体膜、ゲート絶縁膜、ゲート電極用第1・第2導電膜の形成



(A) N+型半導體

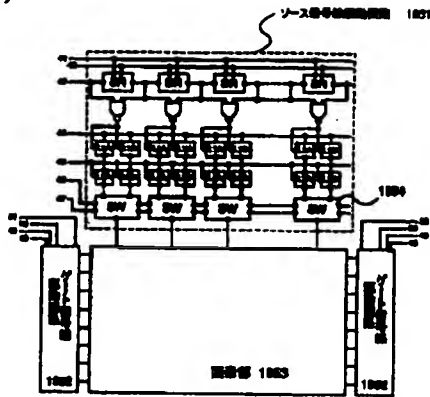


【图 17】

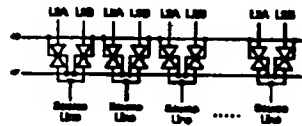


【☒ 19】

(A)



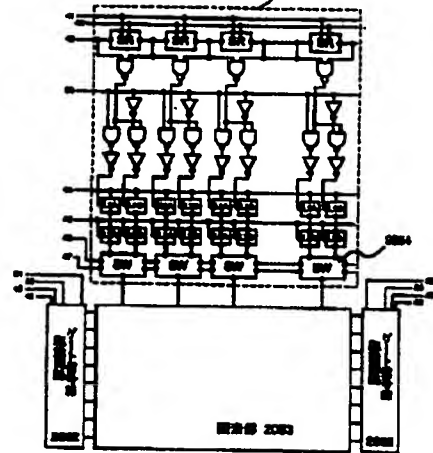
(B)



- 61: シーズン3のオープニング
62: シーズン3のオープニング(邦題)
63: シーズン3のオープニング
64: シーズン3のオープニング
65: シーズン3のオープニング
66: シーズン3のオープニング A
67: シーズン3のオープニング B
68: シーズン3のオープニング
69: シーズン3のオープニング(邦題)
70: シーズン3のオープニング
71: シーズン3のオープニング A
72: シーズン3のオープニング B

【图 20】

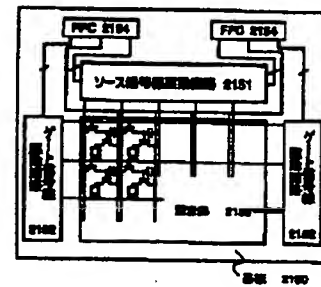
サー入試番号: 2021



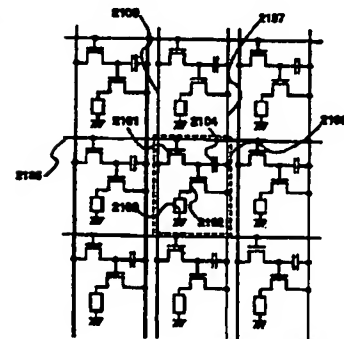
- 41: リース新フロッグ機
- 42: リース新フロッグ機(廉価)
- 43: リース新フロッグ機
- 44: デジタル時計番号
- 45: ラグビー入
- 46: ラグビー入
- 47: ラグビー入
- 48: ラグビー入
- 49: ラグビー入
- 50: ラグビー入
- 51: ラグビー入
- 52: ラグビー入
- 53: ラグビー入

【圖 21】

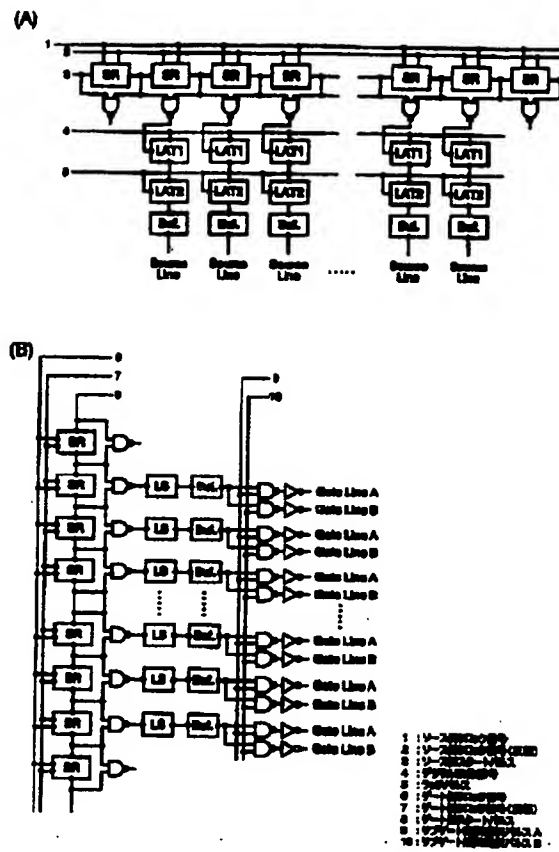
(A)



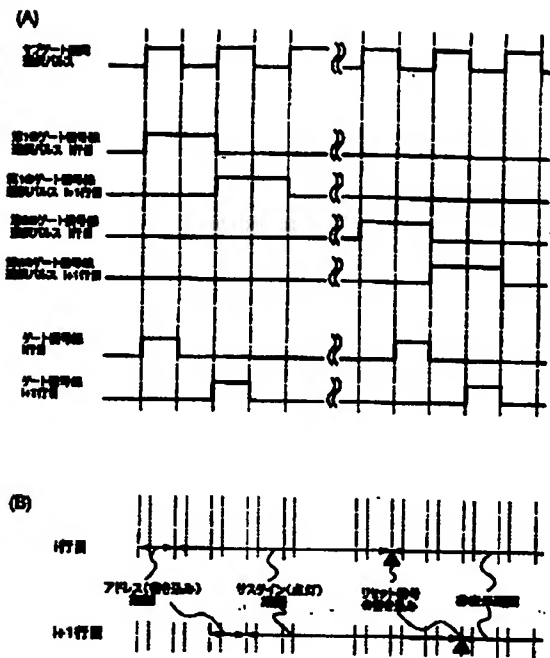
(B)



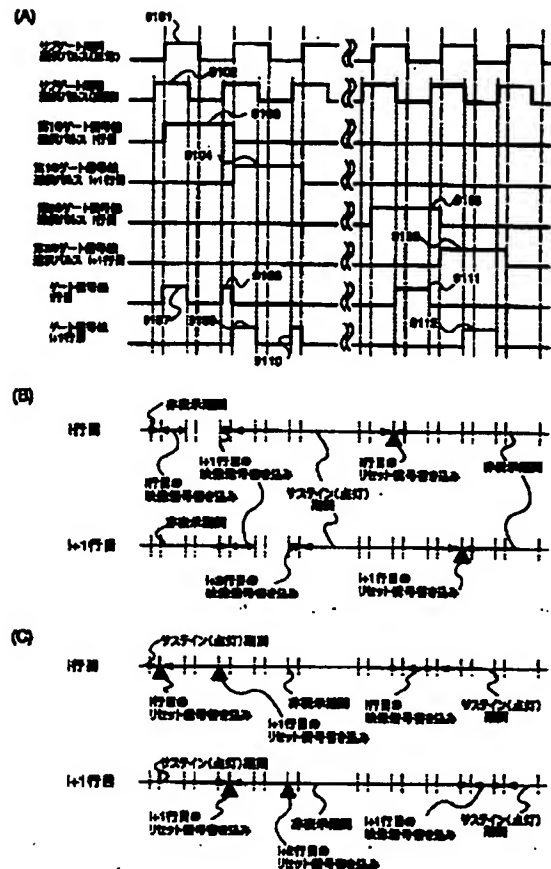
【図34】



【図35】



【图 37】



680P

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.



AW

INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

<p>(51) International Patent Classification ⁵ : H01L 33/00, H05B 33/14 C09K 11/06</p>	<p>A1</p>	<p>(11) International Publication Number: WO 90/13148 (43) International Publication Date: 1 November 1990 (01.11.90)</p>
<p>(21) International Application Number: PCT/GB90/00584 (22) International Filing Date: 18 April 1990 (18.04.90) (30) Priority data: 8909011.2 20 April 1989 (20.04.89) GB (71) Applicants (for all designated States except US): CAMBRIDGE RESEARCH AND INNOVATION LIMITED [GB/GB]; CAMBRIDGE CAPITAL MANAGEMENT LIMITED [GB/GB]; 13 Station Road, Cambridge CB1 2JB (GB). LYNXVALE LIMITED [GB/GB]; The Old Schools, Trinity Lane, Cambridge CB2 ITS (GB). (72) Inventors; and (75) Inventors/Applicants (for US only) : FRIEND, Richard, Henry [GB/GB]; 6 Sherlock Road, Cambridge CB3 0HR (GB). BURROUGHES, Jeremy, Henley [GB/US]; 11 Parsonage Street, Cold Spring, NY 00516 (US). BRADLEY, Donal, Donat, Conor [GB/GB]; Churchill College, Cambridge CB3 0D5 (GB).</p>		<p>(74) Agents: DRIVER, Virginia, Rozanne et al.; Page White & Farrer, 54 Doughty Street, London WC1N 2LS (GB). (81) Designated States: AT (European patent), AU, BE (European patent), BR, CA, CH (European patent), DE (European patent), DK (European patent), ES (European patent), FI, FR (European patent), GB (European patent), IT (European patent), JP, KR, LU (European patent), NL (European patent), SE (European patent), US. Published With international search report.</p>
<p>(54) Title: ELECTROLUMINESCENT DEVICES</p> <div data-bbox="584 1071 1282 1428"> </div> <div data-bbox="763 1449 1039 1554"> $\left[\text{C}_6\text{H}_4 - \text{CH} = \text{CH} \right]_n$ </div> <p>(I)</p> <p>(57) Abstract</p> <p>An electroluminescent device comprises a semiconductor layer (4) in the form of a thin dense polymer film comprising at least one conjugated polymer, a first contact layer (5) in contact with a first surface of the semiconductor layer, and a second contact layer (3) in contact with a second surface of the semiconductor layer. The polymer film (4) of the semiconductor layer has a sufficiently low concentration of extrinsic charge carriers that on applying an electric field between the first and second contact layers across the semiconductor layer so as to render the second contact layer positive relative to the first contact layer charge carriers are injected into the semiconductor layer and radiation is emitted from the semiconductor layer. The polymer film can be poly(p-phenylenevinylene) [PPV] of formula (I) wherein the phenylene ring may optionally carry one or more substituents each independently selected from alkyl (preferably methyl), alkoxy (preferably methoxy or ethoxy), halogen (preferably chlorine or bromine) or nitro.</p>		

DESIGNATIONS OF "DE"

Until further notice, any designation of "DE" in any international application whose international filing date is prior to October 3, 1990, shall have effect in the territory of the Federal Republic of Germany with the exception of the territory of the former German Democratic Republic.

FOR THE PURPOSES OF INFORMATION ONLY

Codes used to identify States party to the PCT on the front pages of pamphlets publishing international applications under the PCT.

AT	Austria	BS	Spain	MC	Monaco
AU	Australia	FI	Finland	MG	Madagascar
BB	Barbados	FR	France	ML	Mali
BE	Belgium	GA	Gabon	MR	Mauritania
BF	Burkina Faso	GB	United Kingdom	MW	Malawi
BG	Bulgaria	GR	Greece	NL	Netherlands
BJ	Benin	HU	Hungary	NO	Norway
BR	Brazil	IT	Italy	RO	Romania
CA	Canada	JP	Japan	SD	Sudan
CF	Central African Republic	KP	Democratic People's Republic of Korea	SE	Sweden
CG	Congo			SN	Senegal
CH	Switzerland	KR	Republic of Korea	SU	Soviet Union
CM	Cameroon	LI	Liechtenstein	TD	Chad
DE	Germany, Federal Republic of	LK	Sri Lanka	TG	Togo
DK	Denmark	LU	Luxembourg	US	United States of America

- 1 -

Title of the InventionELECTROLUMINESCENT DEVICESField of the Invention

The present invention relates to electroluminescent (EL) devices, and in particular EL devices in which the light-emitting layer is a semiconductor.

Background of the Invention

Electroluminescent (EL) devices are structures which emit light when subject to an applied electric field. The usual model for the physical process in a semiconductor used in this way is through the radiative combination of electron-hole pairs which are injected into the semiconductor from opposite electrodes. Common examples are light-emitting diodes based on GaP and similar III-V semiconductors. Though these devices are efficient and widely used, they are limited in size, and are not easily or economically used in large area displays. Alternative materials which can be prepared over large areas are known, and among the inorganic semiconductors most effort has been directed to ZnS. This system has considerable practical drawbacks, primarily poor reliability. The mechanism in ZnS is believed to be one where acceleration of one type of carrier through the semiconductor under a strong electric field causes local excitation of the semiconductor which relaxes through radiative emission.

Among organic materials, simple aromatic molecules such as anthracene, perylene and coronene are known to show electroluminescence. The practical difficulty with these materials is, as with ZnS, their poor reliability, together with difficulties in deposition of the organic layers and the

- 2 -

current-injecting electrode layers. Techniques such as sublimation of the organic material suffer from the disadvantage that the resultant layer is soft, prone to recrystallisation, and unable to support high temperature deposition of top-contact layers. Techniques such as Langmuir-Blodgett film deposition of suitably-modified aromatics suffer from poor film quality, dilution of the active material, and high cost of fabrication.

An electroluminescent device utilising anthracene is disclosed in US-A-3,621,321. This device suffers from high power consumption and low luminescence. In an attempt to provide an improved device, US-A-4,672,265 describes an EL device having a double layer structure as its luminescent layer. However, the suggested materials for the double layer structure are organic materials which suffer from the disadvantages mentioned above.

Summary of the Invention

The present invention seeks to provide an electroluminescent device in which the above mentioned drawbacks are obviated or at least mitigated.

The present invention provides in one aspect an electroluminescent device comprising a semiconductor layer in the form of a thin dense polymer film comprising at least one conjugated polymer, a first contact layer in contact with a first surface of the semiconductor layer, and a second contact layer in contact with a second surface of the semiconductor layer, wherein the polymer film of the semiconductor layer has a sufficiently low concentration of extrinsic charge carriers that on applying an electric field between the first and second contact layers across the semiconductor layer so as to render the second contact layer positive relative to the first

- 3 -

contact layer charge carriers are injected into the semiconductor layer and radiation is emitted from the semiconductor layer.

The invention is based on the discovery by the present inventors that semiconductive conjugated polymers can be caused to exhibit electroluminescence by the injection of charge carriers from suitable contact layers.

Semiconductive conjugated polymers per se are known. For example, their use in an optical modulator is discussed in EP-A-0294061. In that case, polyacetylene is used as the active layer in a modulating structure between first and second electrodes. It is necessary to place an insulating layer between one of the electrodes and the active layer so as to create a space charge region in the active layer which gives rise to the optical modulation effect. Such a structure could not exhibit electroluminescence since the presence of the space charge layer precludes the formation of electron/hole pairs whose decay gives rise to radiation. It will be clear in any event that the exhibition of electroluminescence in EP-A-0294061 would be wholly undesirable since the optical modulation effect would be disrupted thereby.

In the device of the present invention, the conjugated polymer is preferably poly (p-phenylenevinylene) [PPV] and the first charge injecting contact layer is a thin layer of aluminium one surface having formed a thin oxide layer, the first surface of the semiconducting layer being in contact with the said oxide layer and the second charge injecting contact layer is a thin layer of aluminium or gold.

In another embodiment, the conjugated polymer is PPV, the first contact layer is aluminium or an alloy of magnesium and silver and the second contact layer is indium oxide.

- 4 -

In yet another embodiment, the conjugated polymer is PPV and one of the contact layers is non-crystalline silicon and the other of the contact layers is selected from the group consisting of aluminium, gold, magnesium/silver alloy and indium oxide.

These embodiments can be made by putting down either the first contact layer or the second contact layer onto a substrate, applying a thin film of PPV and then putting down the other of the first and second contact layers.

Preferably the polymer film is of substantially uniform thickness in the range 10 nm to 5 μ m and the conjugated polymer has a semiconductor band gap in the range 1eV to 3.5eV. Furthermore the proportion of the conjugated polymer in the electroluminescent areas of the polymer film is sufficient to achieve the percolation threshold for charge transport in the conjugated polymer present in the film.

A second aspect of the present invention provides a method of manufacture of an electroluminescent device wherein a semiconductor layer in the form of a thin layer of a dense polymer film comprising at least one conjugated polymer is deposited onto a substrate by the steps of depositing a thin layer of a precursor polymer as a thin polymer film onto the substrate and then heating the deposited precursor polymer to a high temperature to form the conjugated polymer, a thin layer of a first contact layer being placed in contact with a first surface of the semiconductor layer and a thin layer of a second contact layer being placed in contact with a second surface of the semiconductor layer, wherein the polymer film has a sufficiently low concentration of extrinsic charge carriers that on applying an electric field between the first and second contact layers once in contact with the

- 5 -

semiconductor layer so as to render the second contact layer positive relative to the first contact layer charge carriers are injected into the semiconductor layer and radiation emitted from the semiconductor layer.

By conjugated polymer is meant a polymer which possesses a delocalised π -electron system along the polymer backbone; the delocalised π -electron system confers semiconducting properties to the polymer and gives it the ability to support positive and negative charge carriers with high mobilities along the polymer chain. Such polymers are discussed for example by R.H. Friend in Journal of Molecular Electronics 4 (1988) January-March, No. 1, pages 37 to 46.

It is believed that the mechanism underlying the present invention is such that the positive contact layer injects positive charge carriers into the polymer film and the negative contact layer injects negative charge carriers into the polymer film, these charge carriers combining to form charge carrier pairs which decay radiatively. To achieve this, preferably the positive contact layer is selected to have a high work function and the negative contact layer to have a low work function. Hence the negative contact layer comprises an electron-injecting material, for example a metal or a doped semiconductor that, when placed in contact with the polymer semiconductor layer and made negative with respect to the polymer semiconductor through application of an external potential across the circuit, allows the injection of electrons into the polymer semiconductor layer. The positive contact layer comprises a hole-injecting material, for example a metal or a doped semiconductor that, when placed in contact with the polymer semiconductor layer and made positive with respect to the polymer semiconductor through application of an external potential across the circuit, allows the injection of positive charges, commonly termed "holes", into the polymer semiconductor layer.

- 6 -

In order to produce the desired electroluminescence, the polymer film must be substantially free of defects which act as non-radiative recombination centres, since such defects prevent electroluminescence.

By "dense" polymer film is meant that the polymer film is not fibrillar and is substantially free of voids.

One or each of the contact layers can include, in addition to the layer of charge injecting material, a further layer of a material, preferably an organic material, which serves to control the injection ratio of electrons and holes into the EL layer and to ensure that radiative decay takes place away from the charge injecting material of the contact layers.

The film of conjugated polymer preferably comprises a single conjugated polymer or a single co-polymer which contains segments of conjugated polymer. Alternatively, the film of conjugated polymer may consist of a blend of a conjugated polymer or copolymer with another suitable polymer.

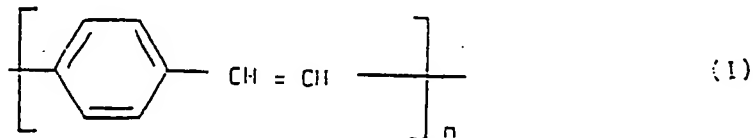
Further preferred features of the polymer film are that:

- (i) the polymer should be stable to oxygen, moisture, and to exposure to elevated temperatures;
- (ii) the polymer film should have good adhesion to an underlying layer, good resistance to thermally-induced and stress-induced cracking, and good resistance to shrinkage, swelling, recrystallisation or other morphological changes;
- (iii) the polymer film should be resilient to ion/atomic migration processes, e.g. by virtue of a high crystallinity and high melting temperature.

- 7 -

Embodiments of the present invention will now be described by way of example only, with reference to the accompanying drawings.

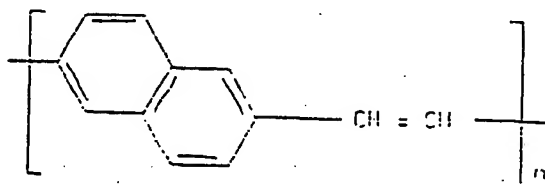
The film of conjugated polymer is preferably a film of a poly(p-phenylenevinylene) [PPV] of formula



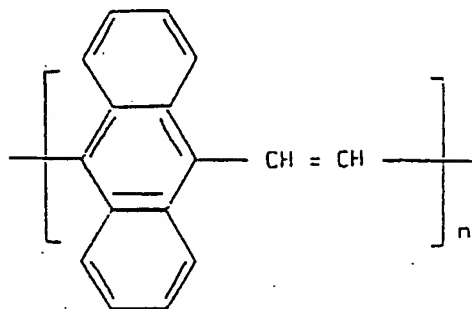
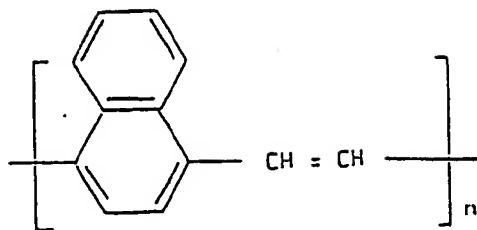
wherein the phenylene ring may optionally carry one or more substituents each independently selected from alkyl (preferably methyl), alkoxy (preferably methoxy or ethoxy), halogen (preferably chlorine or bromine), or nitro.

Other conjugated polymers derived from poly(p-phenylenevinylene) are also suitable for use as the polymer film in the EL devices of the present invention. Typical examples of such derivatives are polymers derived by:

(i) replacing the phenylene ring in formula (I) with a fused ring system, eg replacing the phenylene ring with an anthracene or naphthalene ring system to give structures such as:-

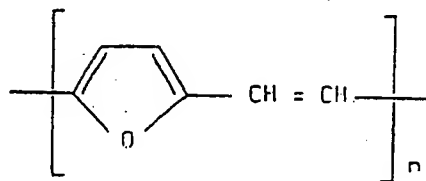


- 8 -



These alternative ring systems may also carry one or more substituents of the type described above in relation to the phenylene ring.

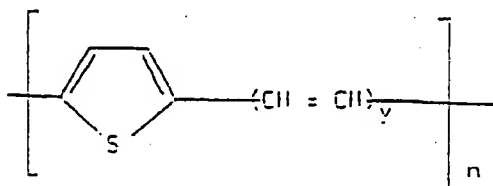
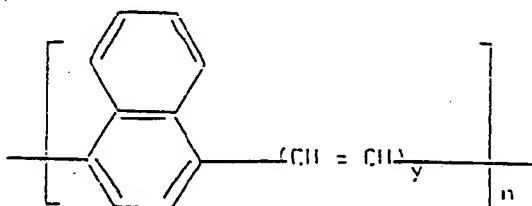
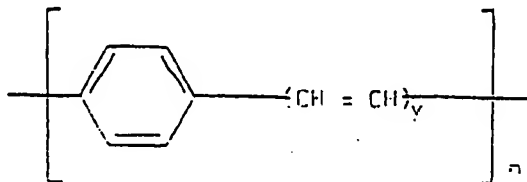
(ii) replacing the phenylene ring with a heterocyclic ring system such as a furan ring to give structures such as:-



As before, the furan ring may carry one or more substituents of the type described above in relation to phenylene rings.

- 9 -

(iii) increasing the number of vinylene moieties associated with each phenylene ring (or each of the other alternative ring systems described above in (i) and (ii)) to give structures such as:-



wherein y represents 2, 3, 4, 5, 6, 7,

Once again, the ring systems may carry the various substituents described above.

These various different PPV derivatives will possess different semiconductor energy gaps; this should permit the construction of electroluminescent devices which have emission at different wavelengths covering the entire visible part of the spectrum.

- 10 -

The film of conjugated polymer may be prepared by means of a chemical and/or thermal treatment of a solution - processible or melt-processible "precursor" polymer. The latter can be purified or pre-processed into the desired form before subsequent transformation to the conjugated polymer via an elimination reaction.

Films of the various derivatives of PPV described above can be applied onto a conducting substrate in similar manner by using an appropriate sulphonium precursor.

In certain circumstances it may be advantageous to use polymer precursors which have a higher solubility in organic solvents than the sulphonium salt precursors (II). Enhanced solubility in organic solvents can be achieved by replacing the sulphonium moiety in the precursor by a less hydrophilic group such as an alkoxy group (usually methoxy), or a pyridinium group.

Typically, a film of poly(phenylenevinylene) is applied onto a conducting substrate by a method which relies on a reaction scheme such as is illustrated in Figure 1. The sulphonium salt monomer (II) is converted into a precursor polymer (III) in aqueous solution or in a solution of methanol/water, or methanol. Such a solution of the pre-polymer (III) can be applied onto a conducting substrate by means of standard spin-coating techniques as used in the semiconductor industry for photoresist processing. The resultant film of precursor-polymer III can then be converted into poly(phenylene vinylene) (I) by heating to temperatures typically in the range 200-350°C.

Details of the conditions necessary for the chemical synthesis of the monomer (II), its polymerisation to the precursor (III) and its thermal conversion to PPV are

- 11 -

described in the literature, for example in D.D.C. Bradley, J. Phys. D (Applied Physics) 20, 1389 (1987); and J.D. Stenger Smith, R.W. Lenz and G. Wegner, Polymer 30, 1048 (1989).

We have found that with poly(phenylenevinylene) films of a thickness in the range 10 nm to 10 micrometres can be obtained. These PPV films are found to have very few pin holes. The PPV film has a semiconductor energy gap of about 2.5eV (500nm); it is robust, shows little reaction with oxygen at room temperature, and is stable out of air at temperatures well in excess of 300°C.

Enhanced ordering in the conjugated material may be achieved by modifying the leaving group of the precursor polymer to ensure that the elimination proceeds smoothly via a simple reaction without generation of additional intermediate structures. Thus, for example, the normal dialkyl sulphonium moiety can be replaced with a tetrahydrothiophenium moiety. The latter eliminates as a single leaving group without decomposition, as is seen for dialkyl sulphide, into an alkyl mercaptan. In the examples described here, the precursor polymers used include both that with the dialkyl sulphonium moiety chosen as dimethyl sulphide and as tetrahydrothiophene. Both precursors produce film of PPV suitable for use in the device structures shown in examples below.

A further material which may be suitable for forming the film of conjugated polymer is poly(phenylene).

This material may be prepared by starting from biologically synthesised derivatives of 5,6-dihydroxycyclohexa-1,3-dienes. These derivatives can be polymerised by use of radical initiators into a polymer precursor that is soluble in simple organic solvents. This preparation of poly(phenylene) is more fully described in

- 12 -

Ballard et al, J. Chem. Soc. Chem. Comm. 954 (1983).

A solution of the polymer precursor can be spin coated as a thin film onto a conducting substrate and then be converted to the conjugated poly(phenylene) polymer by a heat treatment, typically in the range 140 to 240°C.

Copolymerisation with vinyl or diene monomers can also be performed so as to obtain phenylene copolymers.

A further category of materials which can be used to form the required film of conjugated polymer is a conjugated polymer which is itself either solution processible or melt processible by virtue of the presence of bulky pendant side groups attached to the main conjugated chain or by virtue of the inclusion of the conjugated polymer into a copolymer structure of which one or more components are non-conjugated. Examples of the former include:-

(a) Poly(4,4'-diphenylenediphenylvinylene) [PDPV] is an arylene vinylene polymer in which both vinylene carbons are substituted by phenyl rings. It is soluble in common organic solvents thus enabling the preparation of thin films.

(b) Poly(1,4-phenylene-1-phenylvinylene) and poly(1,4-phenylenediphenylvinylene) polymers are analogues of PPV in which respectively one and both vinylene carbons are substituted with phenyl groups. They are both soluble in organic solvents and may be cast or spun into thin film form.

(c) Poly(3-alkylthiophene) polymers (alkyl is one of propyl, butyl, pentyl, hexyl, heptyl, octyl, decyl, undecyl, dodecyl etc) which are solution processible in common organic solvents and which for longer alkyl

- 13 -

sequences (alkyl greater than or equal to octyl) are also melt processible.

(d) Poly(3-alkylpyrrole) polymers which are expected to be similar to the poly(3-alkylthiophene) polymers.

(e) Poly(2,5-dialkoxy-p-phenylenevinylene) polymers with alkyl greater than butyl are solution processible.

(f) Poly(phenylacetylene) is a derivative of polyacetylene in which the hydrogen atoms along the chain are replaced by phenyl groups. This substitution renders the material soluble.

In some circumstances it may also be appropriate to form polymer blends of the conjugated polymer with other polymers so as to obtain the required processibility of the polymer and thereby facilitate forming of the required thin uniform films of the polymer on the conducting substrate (the charge injecting contact layer).

When such copolymers or polymer blends are used to form the film of conjugated polymer, the active region of the electroluminescent device which incorporates the said film of conjugated polymer must contain a volume fraction of conjugated polymer which is greater than or equal to the percolation threshold of the copolymer or polymer blend.

The semiconductor electroluminescent layer may be formed as a composite layer with layers of polymers with different band gaps and/or majority charge species so that, for example, concentration of the injected charge, from the charge injecting contact layer, within a particular region of the EL device may be achieved. Composite layers may be fabricated by successive deposition of polymer layers. In the case where films are deposited in the form of the precursor by spin- or

- 14 -

draw-coating to the conjugated polymer, the conversion process to the conjugated polymer renders the film insoluble, so that subsequent layers may be similarly applied without dissolution of the previously deposited film.

Brief description of the drawings

For a better understanding of the present invention, and to show how the same may be carried into effect, reference will now be made, by way of example, to the accompanying drawings in which:

Figure 1 is a formulae drawing showing a reaction scheme for laying down the conjugated polymer;

Figures 2 and 3 are sketches of an electroluminescent device in accordance with the present invention;

Figure 4 is a graph of the electroluminescent output of the device described with reference to Figures 2 and 3;

Figures 5 and 6 are graphs of current flow VS light emission, and output intensity VS applied voltage, respectively for an electroluminescent device according to another example of the invention; and

Figures 7 and 8 are graphs respectively of the current output and electroluminescent intensity of a further example of the invention.

Description of the preferred embodiments

Example 1

Referring now to Figures 2 and 3 an EL device was constructed as follows:

- 15 -

Onto the upper surface of a substrate of glass for example a silica or borosilicate glass 1 of approximately 1mm thickness, a first charge injecting contact layer 2 was formed. The charge injecting contact layer was formed by thermal evaporation of aluminium through a shadow-mask resulting in a layer of approximately 20 nm in thickness. The shadow-mask was used to define a pattern which was a series of parallel strips of width 2mm, separation 2mm and length 15 mm. The resulting aluminium charge injecting contact layer was then exposed to the air to allow formation of a thin surface oxide layer 3. This then formed the electron injecting contact layer.

A solution of the precursor to PPV, in methanol, having a concentration in the range 1 gram polymer to 10 to 25 ml of methanol, was spin-coated onto the combination substrate described above. This was achieved by spreading the polymer solution over the whole surface of the combination substrate and then spinning the substrate, held with its upper surface horizontal, about a vertical axis at speeds of up to 5000 r.p.m. The resultant substrate and precursor polymer layer was then heated in a vacuum oven at a temperature of 300°C for 12 hours. This heat treatment converted the precursor polymer to PPV, and the resultant PPV film 4 had a thickness in the range 100 to 300 nm. The minimum requirements for the film thickness is set by the film conductance and a lower limit is in the region of 20 nm. However, the preferred range of thickness is 20 nm to 1 μ m.

A second charge injecting contact layer (5) was then formed by the evaporation of gold or aluminium onto the PPV film. A shadow mask was again used to define a pattern on the surface of the PPV film so that a series of parallel strips of width 2mm, separation 2mm and length 15 mm was formed rotated at right angles to the first charge injecting contact layer strips. The thickness of the second charge injecting contact layer was in the range 20-30nm. This then formed the hole-injecting contact layer.

- 16 -

It is preferable that at least one of the charge injecting contact layers is transparent or semitransparent in order to allow light emission from the EL device perpendicular to the plane of the device. This is achieved here with aluminium and gold layers of a thickness not exceeding 30 nm. For a device with the thickness of the PPV layer about 200 nm, the threshold voltage for charge injection and the appearance of strong electroluminescence is about 40 volts. The voltage gives a threshold electric field of $2 \times 10^6 \text{ Vcm}^{-1}$. At a current density of 2 mA/cm^2 the light emission through the semitransparent electrodes was visible by eye under normal lighting conditions. The output of the device showed only weak dependance on frequencies up to 100 kHz. This demonstrates that the response time of the EL device is very short and is faster than 10 microseconds. When in use the EL device was operated in air with no special precautions taken and exhibited no obvious indications of degradation.

The light output from the device was spectrally resolved with a grating monochromator and detected with a silicon photovoltaic cell, and measurements were performed both at room temperature (20°C) and also with the device held in a cryostat with optical access, at low temperatures. Results are shown in Figure 4. The EL spectrum shows light output over the spectral range 690 to 500 nm (1.8 to 2.4 eV) with peaks separated by about 0.15 eV which shift in position a little with temperature.

Other materials which are suitable for use as an electron-injecting contact layer because they have a low work function relative to the EL layer are: n-doped silicon (amorphous or crystalline), silicon with an oxide coating, alkali and alkaline-earth metals either pure or alloyed with other metals such as Ag. Also thin layers of "n-type doped" conjugated polymers may be interposed between a metallic layer and the electroluminescent polymer layer to form the electron-injecting contact layer.

- 17 -

Other materials which are suitable for use as a hole-injecting contact layer because they have a high work function relative to the EL layer are: indium/tin oxides (which are transparent in the visible part of the spectrum), platinum, nickel, palladium and graphite. Also thin layers of "p-type doped" conjugated polymers, such as electrochemically polymerised polypyrrole or polythiophene may be interposed between a metallic layer and the electroluminescent polymer layer to form the hole-injecting contact layer.

The above mentioned materials may be applied as follows: all metals except those with very high melting point temperatures such as platinum may be deposited by evaporation; all metals including indium/tin oxide may be deposited using DC or RF sputtering and also electron beam evaporation; for amorphous silicon deposition may be done by glow-discharge deposition from mixtures of silane and dopants such as phosphine.

The following are some examples of structures using these materials.

Example 2

The structure for this example is built up as a series of layers on a glass substrate. First, a layer of conducting but transparent indium oxide was deposited onto the substrate by a process involving ion-beam sputtering from an indium target in the presence of oxygen.

Samples are prepared in cryopumped system with a base pressure of 10^{-8} mbar. The substrate is water-cooled, remaining at room temperature for all depositions used here. Ion-beam sputtering from an indium target at deposition rates of typically 0.1 nm/sec, in the presence of an oxygen pressure of typically 2×10^{-4} mbar, produced films of transparent

SUBSTITUTE SHEET

- 18 -

indium oxide with resistivities of typically $5 \times 10^{-4} \Omega \text{ cm}$. Typical thicknesses of 100 nm give specific sheet resistances of about 50Ω per square. Such films have optical transmission coefficients in the visible portion of the spectrum of better than 90%.

These films have an amorphous structure, as determined from X-ray and electron diffraction measurements.

A layer of PPV is next deposited onto the indium oxide layer, using the procedure described in example 1 above. A top contact of aluminium is finally deposited by evaporation, typically to a thickness of 50 nm. This structure is operated with the indium oxide contact layer functioning as the positive contact, and the aluminium contact as the negative contact. Light emission is viewed through the indium oxide layer.

Results for a structure constructed this way, with a layer of PPV of thickness 70 nm, and an active area of 2 mm^2 are shown in Figures 5 and 6. The threshold for current flow associated with light emission is seen to be at about 14 V in Figure 5. The variation in the intensity of the spectrally-integrated light output for the device is shown as a function of current in Figure 6.

Example 3

The fabrication of this structure is as for Example 2 above up to the top metal contact. Here, we deposit by evaporation an alloy of silver and magnesium to form the top contact which acts as the negative contact. The evaporation is performed by heating a mixture of silver and magnesium powders in a molar ratio of 1 to 10 in a boat, and film thicknesses of typically 50 nm were deposited.

- 19 -

Magnesium is desirable as a material for the negative electrode as it has a low work function. The addition of silver to form an alloy improves the adhesion of the metal film to the polymer layer, and improves its resistance to oxidation. The current/voltage and EL properties of these samples were similar to those described in Example 2.

Example 4

These structures were fabricated with a layer of amorphous silicon-hydrogen alloy acting as the negative electrode, and indium oxide as the positive electrode. A glass substrate is used with an evaporated Metal contact layer of aluminium or chromium. The amorphous silicon-hydrogen film was then deposited by radio-frequency, RF, sputtering as detailed below.

The RF sputterer used has two targets, a liquid Nitrogen cooled getter and is operated with a target-substrate separation of 8 cm. The chamber has a base pressure of 5×10^{-8} mbar. Magnetron targets are loaded with layers of n-doped Si wafers to a thickness of 3 mm. The targets are cleaned by presputtering for 1-2 hours prior to sample deposition. Substrates prepared as above are radiatively heated so that the temperature at the back side of the 3 cm thick Cu and Al substrate plate is at 250-300 °C. Substrates are rotated at about 6 revs/min. The sputtering gas used is 30% H₂ in Ar, at a pressure of 0.007-0.013 mbar, and is continually passed through the chamber during deposition. The RF power used is 250W with a reflected power of 2W. Deposition rates are typically 12nm/min giving deposition times of 1.5 hours for film thicknesses of 1 μm.

The resulting amorphous Si is reddish brown in colour and has a d.c. resistivity of between 5×10^6 and 5×10^8 Ωcm. [This found by evaporating two Al pads, either above or below

- 20 -

the sample, of length 3 mm and with a separation of 0.25 mm and measuring the resistance between these two contacts].

A layer of PPV was then applied to the amorphous silicon-hydrogen layer, as described in Example 1 above, and this was followed with a layer of indium oxide, deposited directly onto the PPV layer, using the procedure described in Example 2.

Results obtained for a structure fabricated using the steps outlined above are shown in Figures 7 and 8 for a structure of area 14 mm^2 , and layer thicknesses of $1 \mu\text{m}$ for the silicon-hydrogen, 40 nm for the PPV and 250 nm for the indium oxide. Figure 7 shows the current versus voltage characteristic for the device in forward bias (indium oxide positive), and Figure 8 shows the variation in integrated light output with current. The onset of charge injection and light emission is at about 17 V, and the rise in current above this threshold is, due to the presence here of the resistive silicon-hydrogen layer, more gradual than observed in structures without it, as seen for example in Figure 5.

Structures of this type did also show weaker EL in reverse bias (indium oxide contact negative with respect to the silicon-hydrogen contact). The preferred mode of operation, however, is in forward bias.

Example 5

Fabrication as in example 4, but with the top layer of indium oxide replaced by a layer of semitransparent gold or aluminium. Structures fabricated with the top layer of thickness about 20 nm showed EL through this top contact. These devices showed similar characteristics to the examples discussed above.

- 21 -

The method of fabrication of Example 4 could also be used with the contact layers described in Examples 2 and 3.

There are other methods, known per se, for depositing silicon/hydrogen layers and indium oxide layers. For silicon this could include glow discharge of silane and evaporation. For indium oxide other possibilities include tin with the indium, to form indium tin oxide (ITO), which has very similar electrical properties to the indium oxide that we have used here. Deposition methods include evaporation, RF and DC sputtering.

The choice of thickness for the charge injecting contact layers will be determined by the deposition technique used and also the desired optical transparency of the contact layer. The ease of charge injection may be improved by constructing the charge injecting contact layers as composites. Such composites would incorporate thin layers of oxidised and reduced conjugated polymers for hole and electron injection respectively. These extra layers of conjugated polymer may or may not be the same as the active electroluminescent polymer layer. Methods of doping such materials are well known in the field and are clearly described in "Handbook of Conducting Polymers" T.J. Skotheim.

Although in certain circumstances it is preferable that at least one of the charge injecting contact layers is transparent or semitransparent in order to allow emission of radiation perpendicular to the plane of the device it is not necessarily the case for example when emission within the plane of the device only is required.

The limit to the size of the EL device produced is determined by the size of the substrate which can be used for spin-coating. For example, 15 cm diameter silicon wafers have been coated in this way. To coat much larger areas,

SUBSTITUTE SHEET

- 22 -

techniques such as draw-coating may be used instead. It is therefore feasible that EL devices using conjugated polymers with areas of square metres may be constructed.

At least some of the conjugated polymers, including PPV, are capable of withstanding post-processing such as the deposition of metal layers in which the deposition is required to be at very high temperatures for evaporation, or the deposition of amorphous silicon layers, followed by photolithographic processes for the definition of active electroluminescent areas. Although it is preferable, with the use of PPV, for either spin- or draw-coating to be used as the methods for applying the precursor polymer to the substrate depending upon the conjugated polymer and the type of EL device required spin-, draw-coating and melt-processing are all methods which may be used to deposit the conjugated polymer onto the substrate.

The EL device may be used in a variety of ways where electroluminescence is of use. It may be used where semiconductor LED's have traditionally been used. It may also be used where traditionally liquid crystals have been used, the EL device having many properties which make it a desirable alternative to liquid crystals.

Since the EL device is light-emitting in contrast to liquid crystal displays, the viewing angle is wide. Furthermore, large area EL devices can be achieved where problems associated with substrate flatness and spacing have been encountered with large area liquid crystal displays. The EL devices are particularly suitable for matrix-addressed displays for example televisions and computer displays. An example of electroluminescent devices for use in a matrix-addressed displays is shown in Figure 3 where the charge injecting contact layers are applied in strips, either side of the semiconductor layer, the strips of one contact

- 23 -

layer being orthogonal to the strips of the other contact layer. The matrix-addressing of individual EL devices or areas of the semiconductor layer called pixels of the display is achieved by the selection of a particular strip in the lower charge injecting contact layer and a particular strip, at right angles to the first strip, in the upper charge injecting contact layer. Furthermore since the EL device has such a high speed of response then the EL device is suitable for use as a television screen, particularly since the colour of the emitted light may be controlled through the choice of the conjugated polymer and so its semiconductor band gap and so colour displays using green, red and blue pixels, suitable for colour mixing, are possible through the location of different conjugated polymers in the EL device.

Industrial application

EL devices may also be used as individual shaped elements for indicators in vehicle dashboards, on cookers or video recorders for example. Each element may be produced in the required shape for the intended application. Furthermore the EL device need not be flat and could, for example, be formed after fabrication, to follow contours in three dimensions for example the contours of a windscreen in a vehicle or aircraft. For such use the precursor polymer would have to be applied to a suitable substrate such as transparent polymer film such as polyester, polyvinylidene fluoride or polyimide. If the precursor polymer is applied to such flexible polymer films then continuous fabrication of the EL device, onto a roll, is possible. Alternatively the precursor polymer may be applied, using for example a draw-coating process, onto a pre-fabricated contoured substrate.

Finally use of the EL devices is envisaged in optical communications where the EL device may be fabricated directly onto a prepared structure to act as a light source with

- 24 -

efficient optical coupling of the EL device with optical fibres and/or thin-film waveguides. A similar application is described in an article by Satoshi Ishihara in Science and Technology in Japan of July 1989, pages 8 to 14 entitled "Optical Information Processing".

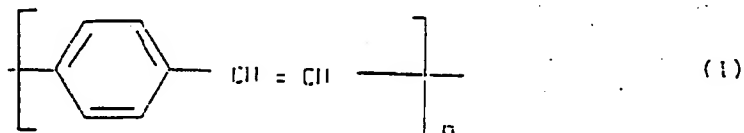
EL device light sources may be suitable for use as lasers.

- 25 -

CLAIMS:

1. An electroluminescent device comprising a semiconductor layer in the form of a thin dense polymer film comprising at least one conjugated polymer, a first contact layer in contact with a first surface of the semiconductor layer, and a second contact layer in contact with a second surface of the semiconductor layer, wherein the polymer film of the semiconductor layer has a sufficiently low concentration of extrinsic charge carriers that on applying an electric field between the first and second contact layers across the semiconductor layer so as to render the second contact layer positive relative to the first contact layer charge carriers are injected into the semiconductor layer and radiation is emitted from the semiconductor layer.

2. An electroluminescent device as claimed in claim 1, wherein the conjugated polymer is poly(p-phenylenevinylene) [PPV] of formula



wherein the phenylene ring may optionally carry one or more substituents each independently selected from alkyl (preferably methyl), alkoxy (preferably methoxy or ethoxy), halogen (preferably chlorine or bromine), or nitro.

3. An electroluminescent device as claimed in either of claims 1 or 2, wherein the thin dense polymer film is of substantially uniform thickness in the range 10 nm to 5 μ m.

4. An electroluminescent device as claimed in any of the preceding claims, wherein the conjugated polymer has a semiconductor band gap in the range 1eV to 3.5eV.

- 26 -

5. An electroluminescent device as claimed in any of the preceding claims, wherein the proportion of the conjugated polymer in electroluminescent areas of the polymer film is sufficient to achieve the percolation threshold for charge transport in the conjugated polymer present in the film.
6. An electroluminescent device as claimed in any of the preceding claims, wherein the first charge injecting contact layer is a thin layer of aluminium one surface having formed a thin oxide layer, the first surface of the semiconductor layer being in contact with the said oxide layer.
7. An electroluminescent device as claimed in any of claims 1 to 5 wherein the first contact layer is selected from the group comprising aluminium or an alloy of magnesium and silver.
8. An electroluminescent device as claimed in claim 6, wherein the second charge injecting contact layer is selected from the group comprising aluminium and gold.
9. An electroluminescent device as claimed in any of the preceding claims, wherein at least one of the first and second charge injecting contact layers is at least semitransparent.
10. An electroluminescent device as claimed in claim 7, wherein the second contact layer comprises indium oxide or indium tin oxide.
11. An electroluminescent device as claimed in any of claims 1 to 5, wherein the first contact layer comprises amorphous silicon and the second contact layer is selected from the group comprising aluminium, gold and indium oxide.

- 27 -

12. An electroluminescent device as claimed in any of the preceding claims, wherein at least of one of the first and second charge injecting contact layers is also in contact with a supporting substrate.
13. An electroluminescent device as claimed in claim 9, wherein the supporting substrate is silica glass.
14. An array of electroluminescent devices, each electroluminescent device as claimed in any of the preceding claims, said first and second charge injecting contact layers being arranged to permit selective addressing in said array.
15. A method of manufacture of an electroluminescent device wherein a semiconductor layer in the form of a thin layer of a dense polymer film comprising at least one conjugated polymer is deposited onto a substrate by the steps of depositing a thin layer of a precursor polymer as a thin polymer film onto the substrate and then heating the deposited precursor polymer to a high temperature to form the conjugated polymer, a thin layer of a first contact layer being placed in contact with a first surface of the semiconductor layer and a thin layer of a second contact layer being placed in contact with a second surface of the semiconductor layer, wherein the polymer film has a sufficiently low concentration of extrinsic charge carriers that on applying an electric field between the first and second contact layers once in contact with the semiconductor layer so as to render the second contact layer positive relative to the first contact layer charge carriers are injected into the semiconductor layer and radiation emitted from the semiconductor layer.
16. A method as claimed in claim 15, comprising the steps of firstly depositing the first charge injecting contact layer onto a supporting substrate to form a composite substrate then

- 28 -

depositing the precursor polymer as a thin dense polymer film onto the first charge injecting contact layer and then heating the composite substrate and the precursor polymer to a high temperature to form the conjugated polymer in the polymer film and finally depositing the second charge injecting contact layer onto the polymer film.

17. A method as claimed in either of claims 15 or 16, wherein the precursor polymer is soluble and is deposited as a thin polymer film on the substrate by spin-coating.

18. A method as claimed in any of claims 15 to 17, wherein the precursor polymer is a precursor polymer for poly (p-phenylenevinylene) [PPV].

19. A method as claimed in any of claims 15 to 18, wherein the thin dense polymer film is of uniform thickness in the range 10nm to 5 μ m.

20. A method as claimed in any of claims 15 to 19, wherein the first charge injecting contact layer is a thin layer of aluminium one surface having formed a thin oxide layer, the thin oxide layer of the first charge injecting contact layer being placed in contact with the first surface of the semiconductor layer.

21. A method as claimed in any of claims 15 to 20, wherein the second charge injecting contact layer is selected from the group comprising aluminium and gold.

22. A method as claimed in any of claims 15 to 19, wherein the first contact layer is selected from the group comprising aluminium and magnesium/silver alloy and the second contact layer is indium oxide.

- 29 -

23. A method as claimed in any of claims 15 to 19 wherein the first contact layer comprises amorphous silicon and the second contact layer is selected from the group comprising aluminium, gold and indium oxide.

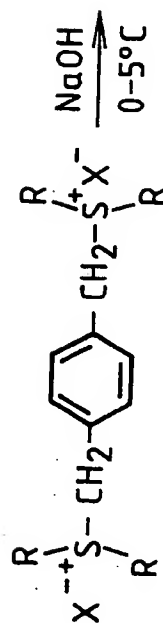
24. A method as claimed in any of claims 15 to 24, wherein the first and second charge injecting contact layers are deposited by evaporation.

25. A method as claimed in any of claims 15 to 24, wherein the supporting substrate is silica glass.

26. Apparatus substantially as hereinbefore described with reference to and as shown in the accompanying drawings.

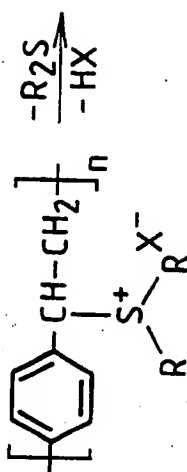
27. A method substantially as hereinbefore described with reference to the accompanying drawings.

FIG. 1



(II)

R = CH₃, C₂H₅
X = Cl, Br



(III)



(I)

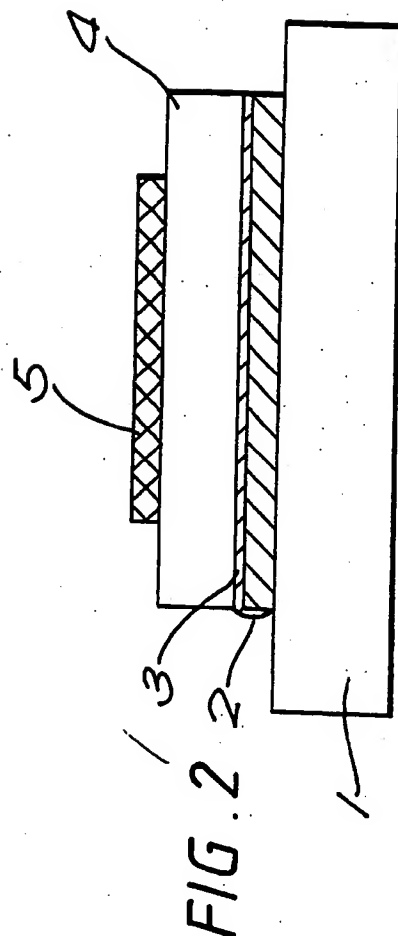


FIG. 2

1/4

2/4

FIG. 3

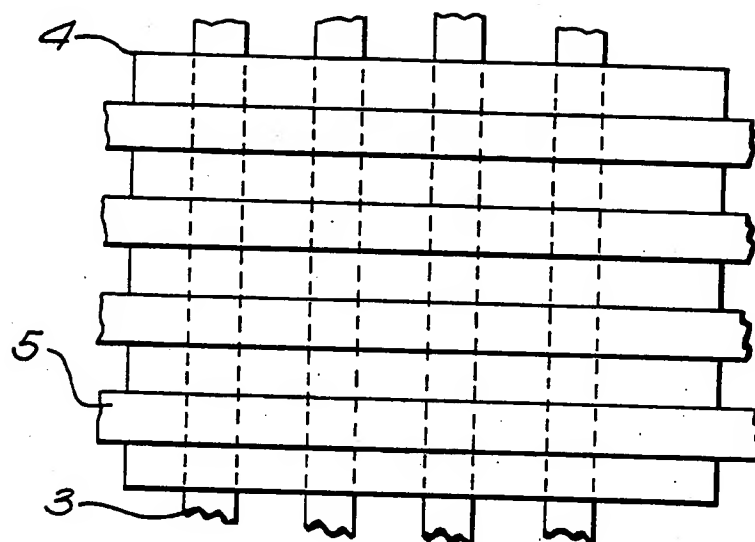
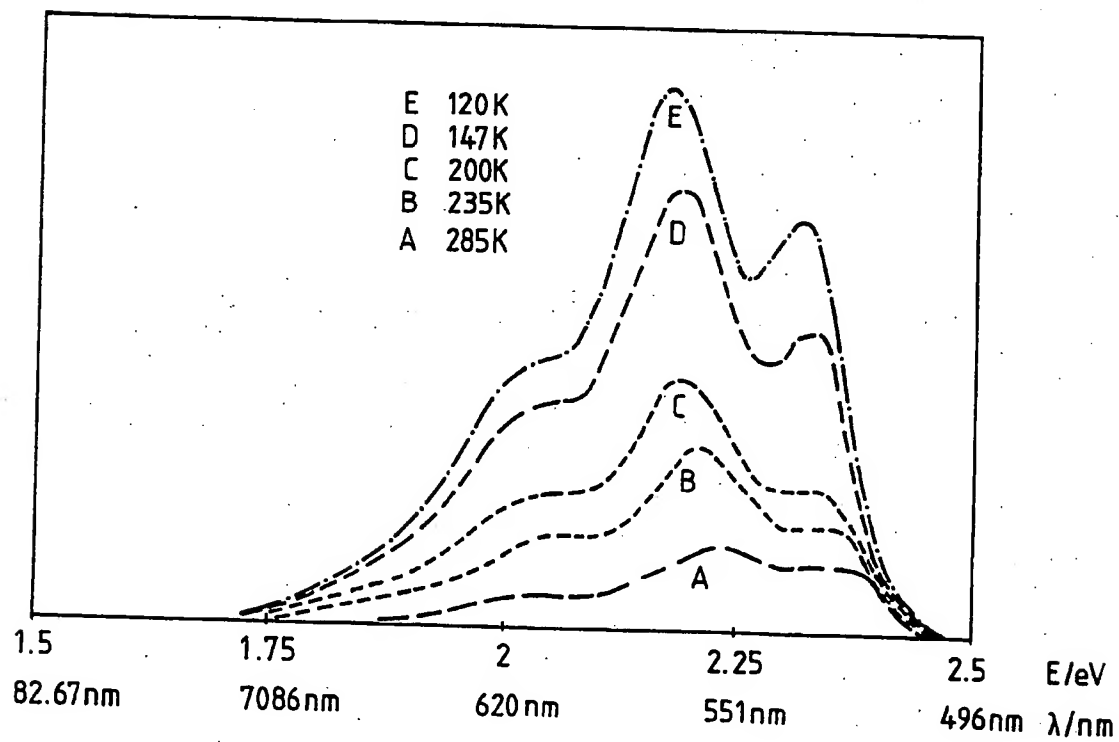


FIG. 4



3/4

FIG. 5

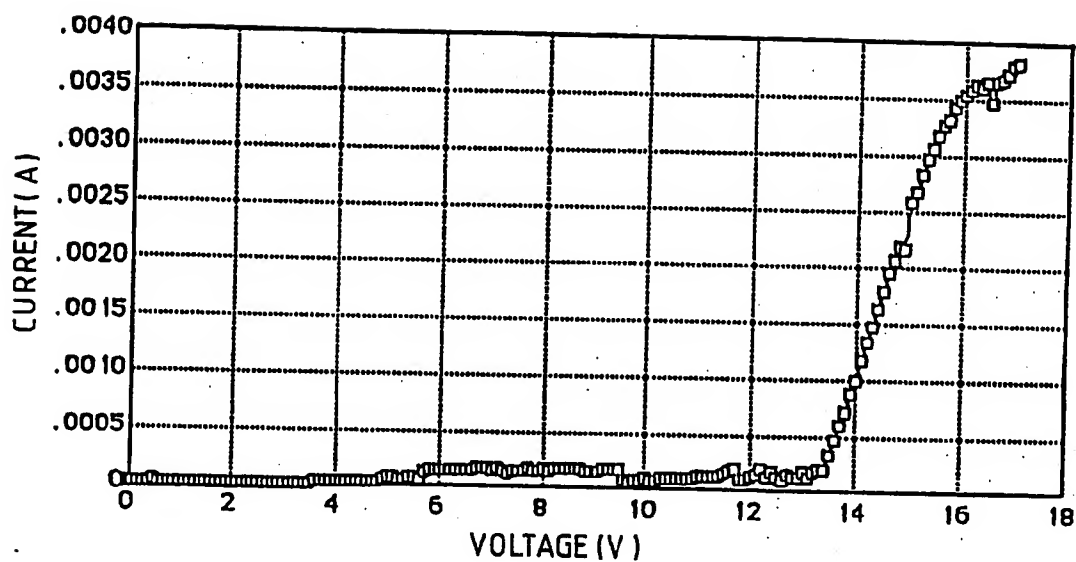
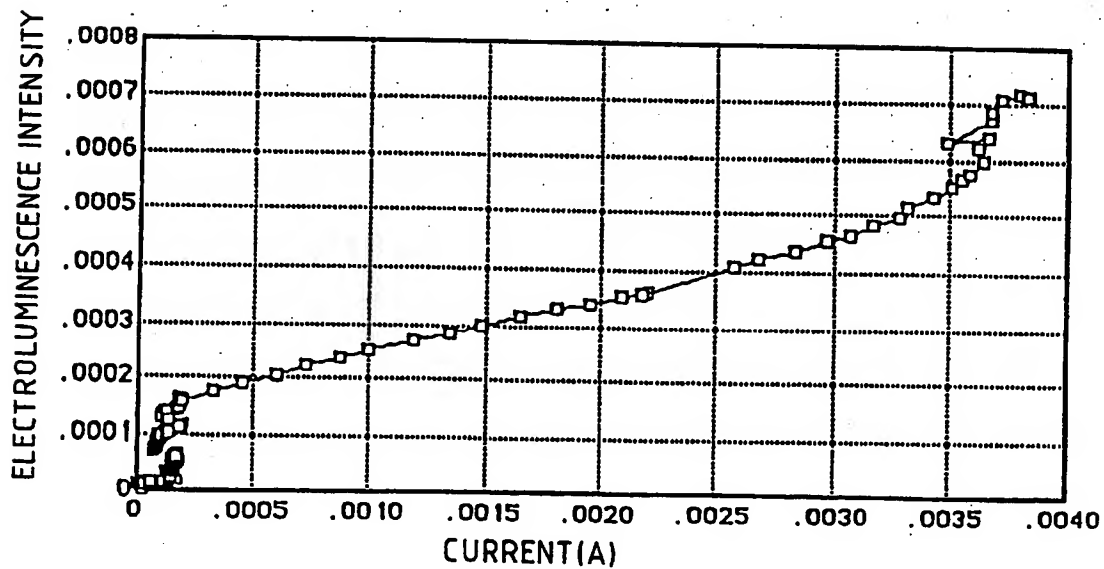
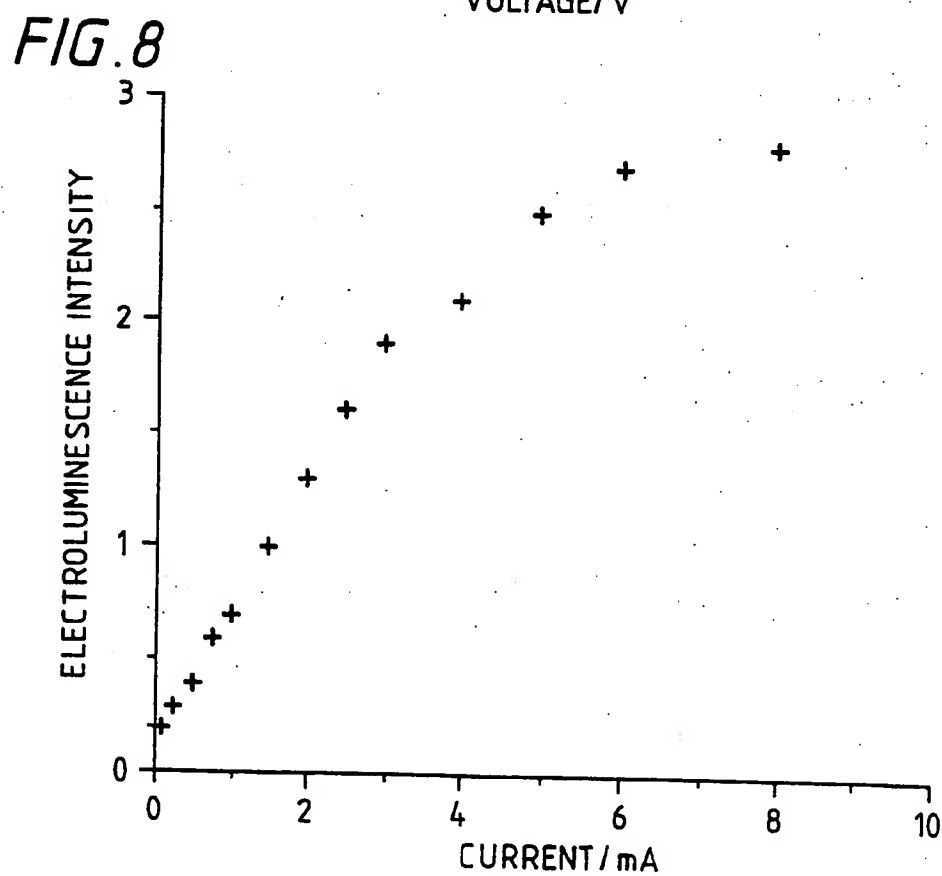
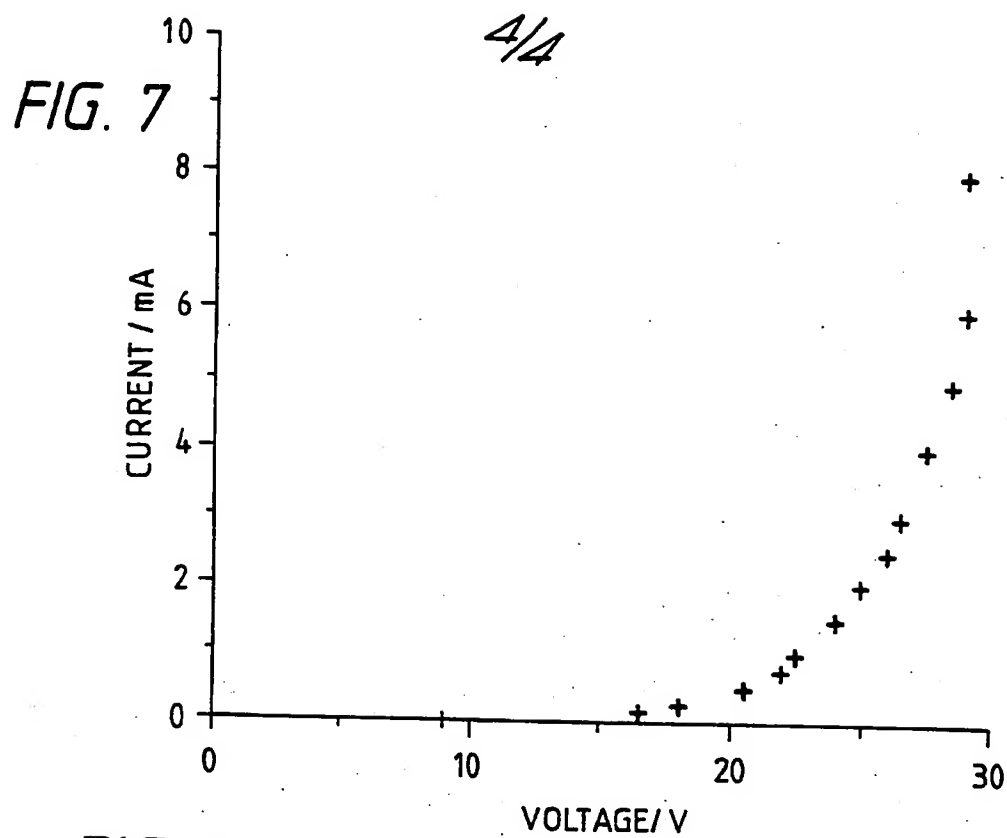


FIG. 6





INTERNATIONAL SEARCH REPORT

International Application No. PCT/GB 90/00584

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ⁴

According to International Patent Classification (IPC) or to both National Classification and IPC

IPC⁵: H 01 L 33/00, H 05 B 33/14, C 09 K 11/06

II. FIELDS SEARCHED

Minimum Documentation Searched ⁷

Classification System

Classification Symbols

IPC⁵ H 01 L, G 09 F, H 05 B, C 09 K

Documentation Searched other than Minimum Documentation
to the Extent that such Documents are Included in the Fields Searched ⁸

III. DOCUMENTS CONSIDERED TO BE RELEVANT ⁹

Category ¹⁰	Citation of Document, ¹¹ with indication, where appropriate, of the relevant passages ¹²	Relevant to Claim No. ¹³
Y	Journal of Molecular Electronics, volume 4, no. 1, January/March 1988, John Wiley & Sons, Ltd, (GB), R.H. Friend: "Optical investigations of conjugated polymers", pages 37-46 see section 1, "Introduction"; section 2, "Materials"; figures 1-3; section 4b; pages 43-45	1,15
A	(cited in the application)	2,4,5,17,18, 26,27
Y	US, A, 4672265 (K. EGUCHI et al.) 9 June 1987 see claims; figures 1-5; column 12, line 50 - column 14, line 38	1,15
A	(cited in the application)	7,8,9,12,21
A	EP, A, 0294061 (THE BRITISH PETROLEUM CO. ./.)	1-4,7,8,12,

¹⁰ Special categories of cited documents: 10

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"Z" document member of the same patent family

IV. CERTIFICATION

Date of the Actual Completion of the International Search

12th June 1990

Date of Mailing of this International Search Report

1. 17. 90

International Searching Authority

EUROPEAN PATENT OFFICE

Signature of Authorized Officer

H. Daniels

H. DANIELS

III. DOCUMENTS CONSIDERED TO BE RELEVANT (CONTINUED FROM THE SECOND SHEET)		
Category *	Citation of Document, " with indication, where appropriate, of the relevant passages	Relevant to Claim No.
	<p>p.l.c.) 7 December 1988 see the whole document (cited in the application)</p> <p>--</p>	<p>13,15-17,19, 21,24,25</p>
A	<p>Japanese Journal of Applied Physics, volume 21, no. 6, June 1982, (Tokyo, JP), K. Kojima et al.: "Electroluminescence in polyethylene terephthalate (PET)I. impulse voltage", pages 860-864 see the whole document</p> <p>--</p>	<p>1</p>
A	<p>US, A, 3621321 (D.F. WILLIAMS et al.) 16 November 1971 (cited in the application)</p> <p>--</p>	
A	<p>Journal of the Chemical Society, Chemical Communications, 1983,(Letchworth, Herts., GB), D.G.H. Ballard et al.: "A biotech route to polyphenylene", see pages 954-955 (cited in the application)</p> <p>-----</p>	

**ANNEX TO THE INTERNATIONAL SEARCH REPORT
ON INTERNATIONAL PATENT APPLICATION NO.**

GB 9000584
SA 36095

This annex lists the patent family members relating to the patent documents cited in the above-mentioned international search report. The members are as contained in the European Patent Office EDP file on 03/07/90. The European Patent Office is in no way liable for these particulars which are merely given for the purpose of information.

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A- 4672265	09-06-87	JP-A- 61037887	22-02-86
		JP-A- 61037888	22-02-86
		JP-A- 61037889	22-02-86
EP-A- 0294061	07-12-88	JP-A- 1152419	14-06-89
		US-A- 4923288	08-05-90
US-A- 3621321	16-11-71	None	

Family list**8** family members for: **JP2002351357**

Derived from 5 applications

[Back to JP2002351357](#)

- 1 LIGHT-EMITTING DEVICE, DRIVING METHOD FOR THE SAME, AND ELECTRONIC INSTRUMENT**
Inventor: KOYAMA JUN **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: **IPC:** *H01L51/50; G09F9/30; G09G3/20* (+13)
Publication info: **JP2002351357 A** - 2002-12-06
- 2 Light emitting device, driving method for the same and electronic apparatus**
Inventor: KOYAMA JUN (JP) **Applicant:**
EC: G09G3/32A **IPC:** *G09G3/32; G09G3/32; (IPC1-7): G09G3/10*
Publication info: **US6661180 B2** - 2003-12-09
US2002135312 A1 - 2002-09-26
- 3 Light emitting device, driving method for the same and electronic apparatus**
Inventor: KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (US)
EC: G09G3/32A **IPC:** *G09G3/32; G09G3/32; (IPC1-7): G09G3/10*
Publication info: **US6914390 B2** - 2005-07-05
US2004100202 A1 - 2004-05-27
- 4 Light emitting device, driving method for the same and electronic apparatus**
Inventor: KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB
EC: G09G3/32A **IPC:** *H01L29/08; H01L27/32; H01L29/02* (+2)
Publication info: **US7106006 B2** - 2006-09-12
US2005218400 A1 - 2005-10-06
- 5 Light Emitting Device, Driving Method for the Same and Electronic Apparatus**
Inventor: KOYAMA JUN (JP) **Applicant:** SEMICONDUCTOR ENERGY LAB (JP)
EC: **IPC:** *H01L29/04; H01L29/02*
Publication info: **US2007007527 A1** - 2007-01-11

Data supplied from the *esp@cenet* database - Worldwide

LIGHT-EMITTING DEVICE, DRIVING METHOD FOR THE SAME, AND ELECTRONIC INSTRUMENT

Publication number: JP2002351357

Publication date: 2002-12-06

Inventor: KOYAMA JUN

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:

- International: H01L51/50; G09F9/30; G09G3/20; G09G3/30; H01L27/32; H05B33/14; H01L51/50; G09F9/30; G09G3/20; G09G3/30; H01L27/28; H05B33/14; (IPC1-7): G09F9/30; G09G3/20; G09G3/30; H05B33/14

- European:

Application number: JP20020075625 20020319

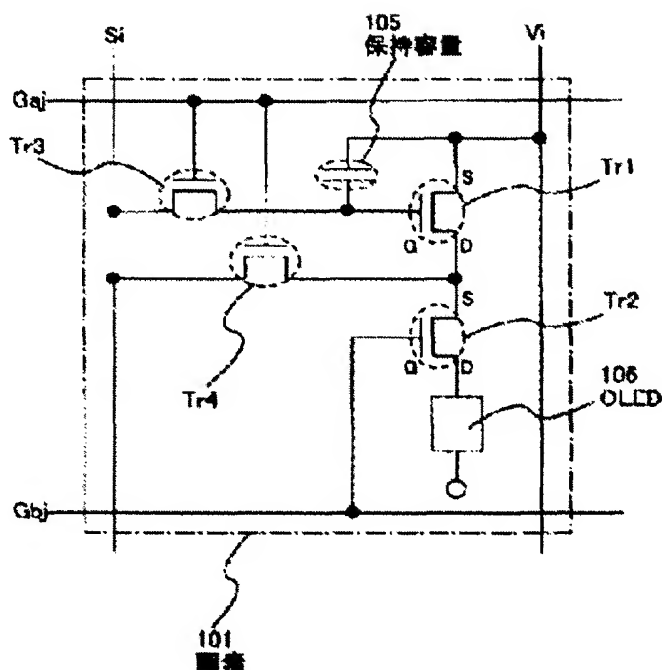
Priority number(s): JP20020075625 20020319; JP20010081779 20010322

Report a data error here

Abstract of JP2002351357

PROBLEM TO BE SOLVED: To provide a light-emitting device which can obtain constant brightness without being affected by deterioration in an organic light-emitting layer or a temperature change and display a desired color display.

SOLUTION: Lowering in OLED(organic light emitting diode) brightness due to the deterioration is reduced by making the OLED emit light while keeping constant an electric current flowing through the OLED instead of making the OLED emit light while keeping constant an OLED driving voltage. That is, the change in the OLED brightness caused by the deterioration of the OLED is prevented by controlling the OLED brightness based on the electric current not on the voltage. Specifically, the drain electric current I_d of a transistor for supplying an electric current is controlled in a signal line drive circuit, thereby the drain electric current I_D is kept constant without relying on the value of a load-resistor.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-351357

(P 2 0 0 2 - 3 5 1 3 5 7 A)

(43) 公開日 平成14年12月6日(2002.12.6)

(51) Int. Cl. 識別記号

G09F 9/30

338

365

G09G 3/20

621

624

641

F I

G09F 9/30

G09G 3/20

テマコード (参考)

338 3K007

365 Z 5C080

621 A 5C094

624 B

641 D

審査請求 未請求 請求項の数16 O L (全32頁) 最終頁に続く

(21) 出願番号 特願2002-75625(P 2002-75625)

(22) 出願日 平成14年3月19日(2002.3.19)

(31) 優先権主張番号 特願2001-81779(P2001-81779)

(32) 優先日 平成13年3月22日(2001.3.22)

(33) 優先権主張国 日本(J P)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

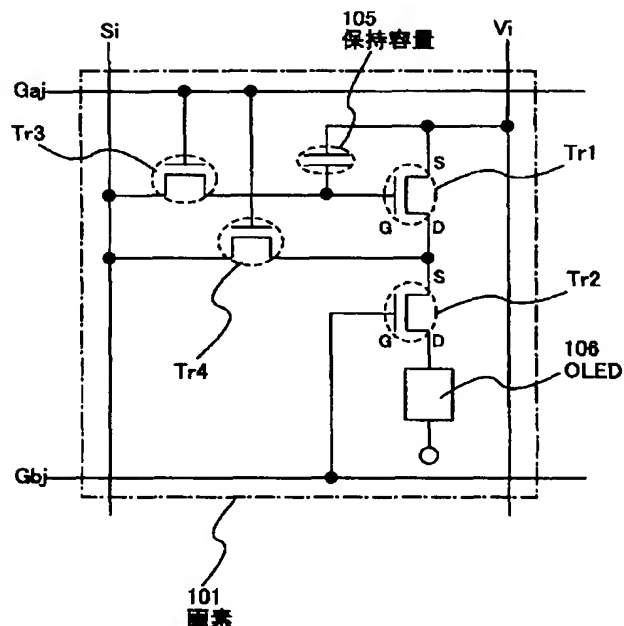
最終頁に続く

(54) 【発明の名称】 発光装置、その駆動方法及び電子機器

(57) 【要約】

【課題】 有機発光層の劣化や温度変化に左右されずに一定の輝度を得ることができ、さらに所望のカラー表示を行うことが可能な発光装置を提供することを課題とする

【解決手段】 OLED駆動電圧を一定に保ってOLEDを発光させるのではなく、OLEDに流れる電流を一定に保ってOLEDを発光させることで、劣化によるOLEDの輝度の低下を小さくする。すなわち、OLEDの輝度を電圧によって制御するのではなく、電流によって制御することで、OLEDの劣化によるOLEDの輝度の変化を防ぐ。具体的には、OLEDに電流を供給するトランジスタのドレイン電流 I_d を、信号線駆動回路において制御することで、負荷抵抗の値によらずドレイン電流 I_d を一定に保つ。



【特許請求の範囲】

【請求項 1】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置であって、

前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されていることを特徴とする発光装置。

【請求項 2】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置であって、

前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、前記第 2 のトランジスタのゲート電極は前記第 2 走査線に接続されていることを特徴とする発光装置。

【請求項 3】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置であって、

前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されていることを特徴とする発光装置。

【請求項 4】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置であって、

前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

10 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、前記第 5 のトランジスタのゲート電極は、前記第 2 走査線に接続されており、

30 前記第 5 のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されていることを特徴とする発光装置。

【請求項 5】請求項 3 または請求項 4 において、前記第 3 及び第 4 のトランジスタと、前記第 2 のトランジスタの極性が逆であることを特徴とする発光装置。

【請求項 6】請求項 1 乃至請求項 5 のいずれか 1 項において、前記第 3 のトランジスタと前記第 4 のトランジスタの極性が同じであることを特徴とする発光装置。

【請求項 7】請求項 1 乃至請求項 6 のいずれか 1 項において、前記第 1 のトランジスタと、前記第 2 のトランジスタの極性が同じであることを特徴とする発光装置。

40 【請求項 8】請求項 1 乃至請求項 7 のいずれか 1 項において、前記発光装置を用いることを特徴とする電子機器。

【請求項 9】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、

前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、

50 前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトラン

ジスタのゲート電極に接続されており、
 前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、
 前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 1 フレーム期間内に、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオンになる第 1 の期間と、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフになる第 2 の期間とが設けられており、
 前記第 2 のトランジスタは前記第 1 の期間においてオフ、前記第 2 の期間においてオンになっており前記第 1 の期間において、前記第 1 のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。

【請求項 10】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置の駆動方法であって、
 前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、
 前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
 前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、
 前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 前記第 2 のトランジスタのゲート電極は前記第 2 走査線に接続されており、
 1 フレーム期間内に、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオンになる第 1 の期間と、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフになる第 2 の期間とが設けられており、
 前記第 2 のトランジスタは前記第 1 の期間においてオフ、前記第 2 の期間においてオンになっており前記第 1 の期間において、前記第 1 のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。

【請求項 11】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタ

と、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、
 前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、
 前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
 前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、
 前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 1 フレーム期間内に、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオンになる第 1 の期間と、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフになる第 2 の期間とが設けられており、
 前記第 2 のトランジスタは前記第 1 の期間においてオフ、前記第 2 の期間においてオンになっており前記第 1 の期間において、前記第 1 のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御することを特徴とする発光装置の駆動方法。

【請求項 12】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置の駆動方法であって、
 前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、
 前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
 前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、
 前記第 1 のトランジスタのソース領域は前記電源線に接続されており、
 前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、
 前記第 5 のトランジスタのゲート電極は、前記第 2 走査線に接続されており、
 前記第 5 のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、
 1 フレーム期間内に、前記第 3 及び前記第 4 のトランジスタがオンで、なおかつ前記第 5 のトランジスタがオフ

になる第 1 の期間と、

前記第 3 及び前記第 4 のトランジスタがオフで、なおかつ前記第 5 のトランジスタがオフになる第 2 の期間と、前記第 3 及び前記第 4 のトランジスタがオフで、なおかつ前記第 5 のトランジスタがオンになる第 3 の期間と、が設けられており、

前記第 2 のトランジスタは前記第 1 の期間においてオフ、前記第 2 の期間においてオン、前記第 3 の期間においてオンになっており前記第 1 の期間において、前記第 1 のトランジスタのドレイン電流の大きさをアナログビデオ信号で制御することで、前記発光素子の輝度を制御

【請求項 1 3】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、

前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、

1 フレーム期間内に、デジタルビデオ信号の各ビットに対応した第 1 の期間及び第 2 の期間が設けられており、前記第 1 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオン、前記第 2 のトランジスタがオフになり、

前記第 2 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフ、前記第 2 のトランジスタがオンになり、

対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第 1 の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。

【請求項 1 4】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置の駆動方法であって、前記第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、

前記第 2 のトランジスタのゲート電極は前記第 2 走査線に接続されており、

1 フレーム期間内に、デジタルビデオ信号の各ビットに対応した第 1 の期間及び第 2 の期間が設けられており、前記第 1 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオン、前記第 2 のトランジスタがオフになり、

前記第 2 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフ、前記第 2 のトランジスタがオンになり、

対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第 1 の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。

【請求項 1 5】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、発光素子と、電源線と、信号線と、走査線とを有する発光装置の駆動方法であって、

前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域

は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域

は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域

は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、

1 フレーム期間内に、デジタルビデオ信号の各ビットに対応した第 1 の期間及び第 2 の期間が設けられており、前記第 1 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオン、前記第 2 のトランジスタがオフになり、

前記第 2 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフ、前記第 2 のトランジスタがオンになり、

対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第 1 の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動

方法。

【請求項 16】第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、発光素子と、電源線と、信号線と、第 1 走査線と、第 2 走査線とを有する発光装置の駆動方法であって、

前記第 2、第 3 及び第 4 のトランジスタのゲート電極は、共に前記第 1 走査線に接続されており、

前記第 3 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

前記第 4 のトランジスタのソース領域とドレイン領域は、一方は前記信号線に、もう一方は前記第 1 のトランジスタのドレイン領域に接続されており、

前記第 1 のトランジスタのソース領域は前記電源線に接続されており、

前記第 2 のトランジスタのソース領域とドレイン領域は、前記第 1 のトランジスタのドレイン領域と、前記発光素子が有する画素電極にそれぞれ接続されており、

前記第 5 のトランジスタのゲート電極は、前記第 2 走査線に接続されており、

前記第 5 のトランジスタのソース領域とドレイン領域は、一方は前記電源線に、もう一方は前記第 1 のトランジスタのゲート電極に接続されており、

1 フレーム期間内に、デジタルビデオ信号の各ビットに対応した第 1 の期間、第 2 の期間及び第 3 の期間が設けられており、

前記第 1 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオン、前記第 2 のトランジスタ及び前記第 5 のトランジスタがオフになり、前記第 2 の期間において、前記第 3 のトランジスタ及び前記第 4 のトランジスタがオフ、前記第 2 のトランジスタがオン、前記第 5 のトランジスタがオフになり、

前記第 3 の期間において、前記第 3 及び前記第 4 のトランジスタがオフで、前記第 2 のトランジスタがオン及び前記第 5 のトランジスタがオンになり、

対応する前記デジタルビデオ信号の各ビットが有する情報に基づき、前記第 1 の期間における前記発光素子の発光の有無が制御されることを特徴とする発光装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、基板上に形成された発光素子、例えば OLED (Organic Light Emitting Diode) を、該基板とカバー材の間に封入した OLED パネルに関する。また、該 OLED パネルにコントローラを含む IC 等を実装した、OLED モジュールに関する。なお本明細書において、OLED パネル及び OLED モジュールを共に発光装置と総称する。本発明はさらに、発光装置の駆動方法と、該発光装置を用いた電子機

器に関する。

【0002】

【従来の技術】OLED は自ら発光するため視認性が高く、液晶表示装置 (LCD) で必要なバックライトが要らず薄型化に最適であると共に、視野角にも制限が無い。そのため、近年 OLED を用いた発光装置は、CRT や LCD に代わる表示装置として注目されている。

【0003】OLED は、電場を加えることで発生するルミネッセンス (Electroluminescence) が得られる有機化合物 (有機発光材料) を含む層 (以下、有機発光層と記す) と、陽極層と、陰極層とを有している。有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光 (蛍光) と三重項励起状態から基底状態に戻る際の発光 (リン光) とがあるが、本発明の発光装置は、上述した発光のうちの、いずれか一方の発光を用いていても良いし、または両方の発光を用いていても良い。

【0004】なお、本明細書では、OLED の陽極と陰極の間に設けられた全ての層を有機発光層と定義する。有機発光層には具体的に、発光層、正孔注入層、電子注入層、正孔輸送層、電子輸送層等が含まれる。基本的に OLED は、陽極/発光層/陰極が順に積層された構造を有しており、この構造に加えて、陽極/正孔注入層/発光層/陰極や、陽極/正孔注入層/発光層/電子輸送層/陰極等の順に積層した構造を有していることもある。

【0005】

【発明が解決しようとする課題】発光装置を実用化する上で問題となっているのが、有機発光材料の劣化に伴う、OLED の輝度の低下であった。

【0006】有機発光材料は水分、酸素、光、熱に弱く、これらのものによって劣化が促進される。具体的には、発光装置を駆動するデバイスの構造、有機発光材料の特性、電極の材料、作製工程における条件、発光装置の駆動方法等により、その劣化の速度が左右される。

【0007】有機発光層にかかる電圧が一定であっても、有機発光層が劣化すると OLED の輝度は低下し、表示する画像は不鮮明になる。なお本明細書において、一対の電極から有機発光層に印加する電圧を OLED 駆動電圧 (V_{el}) と定義する。

【0008】また、R (赤)、G (緑)、B (青) に対応した三種類の OLED を用いたカラー化表示方式において、有機発光層を構成する有機発光材料は、OLED の対応する色によって異なる。そのため、OLED の有機発光層が、対応する色ごとに異なる速度で劣化することがある。この場合、時間が経つにつれ、OLED の輝度が色ごとに異なってしまう、発光装置に所望の色を有する画像を表示することができなくなる。

【0009】また、有機発光層の温度は、外気温や OLED パネル自身が発する熱等に左右されるが、一般的に

OLEDは温度によって流れる電流の値が変化する。図27に、有機発光層の温度を変化させたときの、OLEDの電圧電流特性の変化を示す。電圧が一定のとき、有機発光層の温度が高くなると、OLED駆動電流は大きくなる。そしてOLED駆動電流とOLEDの輝度は比例関係にあるため、OLED駆動電流が大きければ大きいほど、OLEDの輝度は高くなる。このように、有機発光層の温度によってOLEDの輝度が変化するため、所望の階調を表示することが難しく、温度の上昇に伴って発光装置の消費電流が大きくなる。

【0010】さらに、一般的に、有機発光材料の種類によって温度変化におけるOLED駆動電流の変化の度合いが異なるため、カラー表示において各色のOLEDの輝度が温度によってバラバラに変化することが起こりうる。各色の輝度のバランスが崩れると、所望の色を表示することができない。

【0011】本発明は上述したことに鑑み、有機発光層の劣化や温度変化に左右されずに一定の輝度を得ることができ、さらに所望のカラー表示を行うことが可能な発光装置を提供することを課題とする。

【0012】

【課題を解決するための手段】本発明者は、OLED駆動電圧を一定に保って発光させるのと、OLEDに流れる電流を一定に保って発光させるのとでは、後者の方が、劣化によるOLEDの輝度の低下が小さいことに着目した。なお本明細書において、OLEDに流れる電流をOLED駆動電流(I_{e1})と呼ぶ。そして、OLEDの輝度を電圧によって制御するのではなく、電流によって制御することで、OLEDの劣化によるOLEDの輝度の変化を防ぐことができるのではないかと考えた。

【0013】具体的に本発明では、各画素に設けたトランジスタのドレイン電流I_dを、信号線駆動回路において制御する。トランジスタのドレイン電流I_dを、信号線駆動回路において制御するので、ドレイン電流I_dは負荷抵抗の値によらずに一定になる。

【0014】ドレイン電流I_dが流れると、トランジスタのゲート電極とドレイン領域間に電圧が生じる。そして、該電圧を維持したまま、トランジスタのドレイン電流が単数または複数の回路素子を間に介してOLEDに流れるようにする。なおドレイン電流I_dは、トランジスタが飽和領域において動作するような大きさである。

【0015】上記構成によって、OLEDに流れるOLED駆動電流の値は、負荷抵抗の値によらず信号線駆動回路によって制御されることになる。言い換えると、トランジスタの特性の違いや、OLEDの劣化等に左右されずに、OLED駆動電流を所望の値に制御することが可能になる。

【0016】本発明では、上記構成により、有機発光層が劣化してもOLEDの輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。ま

た、各色毎に対応したOLEDを用いたカラー表示の発光装置の場合、OLEDの有機発光層が、対応する色ごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【0017】また、有機発光層の温度が外気温やOLEDパネル自身が発する熱等に左右されても、OLED駆動電流を所望の値に制御することができる。よって、OLED駆動電流とOLEDの輝度は比例するので、OLEDの輝度が変化するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。また、カラー表示の発光装置の場合、温度変化に左右されずに各色のOLEDの輝度の変化を抑えることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0018】さらに、一般的に、有機発光材料の種類によって温度変化におけるOLED駆動電流の変化の度合いが異なるため、カラー表示において各色のOLEDの輝度が温度によってバラバラに変化することが起こりうる。しかし本発明の発光装置では、温度変化に左右されずに所望の輝度を得ることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0019】また一般的な発光装置は、各画素に電流を供給する配線自体が抵抗を有するため、配線の長さによってその電位が多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素において、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素のOLEDにそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が変化すると、それに伴って該所定の画素に供給される電流が変化し、結果的に階調数も変化する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0020】なお、本発明の発光装置において、画素に用いるトランジスタは単結晶シリコンを用いて形成されたトランジスタであっても良いし、多結晶シリコンやアモルファスシリコンを用いた薄膜トランジスタであっても良い。また、有機半導体を用いたトランジスタであっても良い。

【0021】なお本発明の発光装置の画素に設けられたトランジスタは、シングルゲート構造を有していても良いし、ダブルゲート構造やそれ以上のゲート電極を有するマルチゲート構造であっても良い。

【0022】

10

20

30

40

50

【発明の実施の形態】（実施の形態1）図1に本発明のOLEDパネルの構成を、ブロック図で示す。100は画素部であり、複数の画素101がマトリクス状に形成されている。また102は信号線駆動回路、103は第1走査線駆動回路、104は第2走査線駆動回路である。

【0023】なお図1では信号線駆動回路102と、第1走査線駆動回路103と、第2走査線駆動回路104が、画素部100と同じ基板上に形成されているが、本発明はこの構成に限定されない。信号線駆動回路102と第1走査線駆動回路103と、第2走査線駆動回路104が画素部100と異なる基板上に形成され、FPC等を介して、画素部100と接続されていても良い。また、図1では信号線駆動回路102、第1走査線駆動回路103及び第2走査線駆動回路104は1つつづ設けられているが、本発明はこの構成に限定されない。信号線駆動回路102と第1走査線駆動回路103と第2走査線駆動回路104の数は設計者が任意に設定することができる。

【0024】なお本明細書において接続とは、電気的な接続を意味する。

【0025】また図1では、画素部100に信号線S1～Sx、電源線V1～Vx、第1走査線Ga1～Gay、第2走査線Gb1～Gbyが設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。第1走査線と第2走査線の数は必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【0026】電源線V1～Vxは所定の電位に保たれている。なお図1ではモノクロの画像を表示する発光装置の構成を示しているが、本発明はカラーの画像を表示する発光装置であっても良い。その場合、電源線V1～Vxの電位の高さを全て同じに保たなくても良く、対応する色毎に変えるようにしても良い。

【0027】図2に、図1で示した画素101の詳しい構成を示す。図2に示す画素101は、信号線Si（S1～Sxのうちの1つ）、第1走査線Gaj（Ga1～Gayのうちの1つ）、第2走査線Gbj（Gb1～Gbyのうちの1つ）及び電源線Vi（V1～Vxのうちの1つ）を有している。

【0028】また画素101は、トランジスタTr1（電流制御用トランジスタまたは第1のトランジスタ）、トランジスタTr2（駆動用トランジスタまたは第2のトランジスタ）、トランジスタTr3（第1スイッチング用トランジスタまたは第3のトランジスタ）、トランジスタTr4（第2スイッチング用トランジスタまたは第4のトランジスタ）、OLED106及び保持容量105を有している。

【0029】トランジスタTr3とトランジスタTr4

のゲート電極は、共に第1走査線Gajに接続されている。

【0030】トランジスタTr3のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のゲート電極に接続されている。またトランジスタTr4のソース領域とドレイン領域は、一方は信号線Siに、もう一方はトランジスタTr1のドレイン領域に接続されている。

【0031】トランジスタTr1のソース領域は電源線Viに接続されており、ドレイン領域はトランジスタTr2のソース領域に接続されている。トランジスタTr2のゲート電極は第2走査線Gbjに接続されている。トランジスタTr2のドレイン領域は、OLED106が有する画素電極に接続されている。

【0032】OLED106は陽極と陰極を有しており、本明細書では、陽極を画素電極（第1の電極）として用いる場合は陰極を対向電極（第2の電極）と呼び、陰極を画素電極として用いる場合は陽極を対向電極と呼ぶ。

【0033】対向電極の電位は、一定の高さに保たれている。

【0034】なお、トランジスタTr3とトランジスタTr4は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr3とトランジスタTr4の極性は同じである。

【0035】また、トランジスタTr1とTr2は、nチャネル型トランジスタとpチャネル型トランジスタのどちらでも良い。ただし、トランジスタTr1とTr2の極性は同じである。そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタTr1とTr2はpチャネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタTr1とTr2はnチャネル型トランジスタである。

【0036】保持容量105はトランジスタTr1のゲート電極と電源線Viとの間に形成されている。保持容量105はトランジスタTr1のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【0037】（実施の形態2）次に、図2に示した発光装置の駆動について、図3を用いて説明する。本実施の形態では、図2に示した発光装置の各画素の動作を、書き込み期間Taと表示期間Tdとに分けて説明する。

【0038】書き込み期間Taでは、第1走査線Gajが選択される。第1走査線Gajが選択されると、第1走査線Gajにゲート電極が接続されたトランジスタTr3及びTr4がオンになる。なお書き込み期間Taでは、第2走査線Gbjは選択されておらず、Tr2はオフになっている。

【0039】そして、信号線駆動回路102に入力され

るビデオ信号の電位に基づき、信号線 $S_1 \sim S_x$ と電源線 $V_1 \sim V_x$ の間に、それぞれ一定の電流 I_c が流れる。なお本明細書において電流 I_c を信号電流と呼ぶ。

【0040】図3(A)に、書き込み期間 T_a において、信号線 S_i に一定の電流 I_c が流れた場合の、画素101の概略図を示す。107は信号線駆動回路102が有する定電流源を意味する。また、108は対向電極に電位を与える電源への接続用の端子である。

【0041】書き込み期間 T_a において、トランジスタ Tr_3 及び Tr_4 はオンの状態にあるので、信号線 S_i 10に一定の電流 I_c が流れると、一定の電流 I_c はトランジスタ Tr_1 のソース領域とドレイン領域の間に流れる。このとき電流 I_c は、トランジスタ Tr_1 が飽和領域で動作するように、定電流源107においてその大きさが制御されている。

【0042】飽和領域において、 V_{gs} はゲート電極とソース領域間の電位差（ゲート電圧）、 μ をトランジスタの移動度、 C_0 を単位面積あたりのゲート容量、 W/L をチャネル形成領域のチャネル幅 W とチャネル長 L の比、 V_{th} を閾値、 μ を移動度、トランジスタ Tr_1 のドレイン電流を I_d とすると、以下の式1が成り立つ。20

【0043】

$$[式1] \quad I_d = \mu C_0 W/L (V_{gs} - V_{th})^2 / 2$$

【0044】式1において μ 、 C_0 、 W/L 、 V_{th} は全て個々のトランジスタによって決まる固定の値である。またトランジスタ Tr_1 のドレイン電流 I_d は、定電流源107によって $I_d = I_c$ に保たれている。よって式1からわかるように、トランジスタ Tr_1 のゲート電圧 V_{gs} は信号電流 I_c の値によって定まる。

【0045】書き込み期間 T_a が終了すると、表示期間30 T_d が開始される。表示期間 T_d では第1走査線 G_{aj} は選択されておらず、第2走査線 G_{bj} が選択される。

【0046】図3(B)に、表示期間 T_d における画素の概略図を示す。トランジスタ Tr_3 及びトランジスタ Tr_4 はオフになっている。また、トランジスタ Tr_2 はオンになっている。

【0047】表示期間 T_d では、トランジスタ Tr_1 は、書き込み期間 T_a において定められた V_{gs} がそのまま維持されている。そのため、トランジスタ Tr_1 のドレイン電流 I_d の値は信号電流 I_c と同じ値に維持されたままである。また、トランジスタ Tr_2 はオンになっているので、ドレイン電流 I_d はトランジスタ Tr_2 を介してOLED106に流れる。よって、表示期間 T_d では、該信号電流 I_c と同じ大きさのOLED駆動電流がOLED106に流れ、かつ該OLED駆動電流の大きさに見合った輝度で、OLED106が発光する。

【0048】全ての画素において書き込み期間 T_a と表示期間 T_d とが出現する。そしてその出現するタイミングは、各ラインの画素毎に異なっている。なお本明細書では、画素部が有する複数の画素のうち、同じ第1走査50

線または同じ第2走査線を有する全ての画素を、同じラインの画素と呼ぶ。

【0049】そしてアナログのビデオ信号を用いた駆動方法（アナログ駆動法）の場合、アナログのビデオ信号によって I_c の大きさが定められ、該 I_c の大きさに見合った輝度でOLED106が発光することで、階調が表示される。この場合、全ての画素において1つの書き込み期間 T_a と1つの表示期間 T_d が出現することで、1つの画像が表示される。いずれか1つの画素において書き込み期間 T_a が開始されてから、全ての画素において表示期間 T_d が終了するまでの期間をフレーム期間と呼ぶ。連続するフレーム期間は互いに重なっている。

【0050】図4に、アナログ駆動法におけるタイミングチャートの一例を示す。1フレーム期間は y 個のライン期間を有しており、各ライン期間において各第1走査線が選択されている。各ライン期間において、各信号線に所定の信号電流 I_c ($I_{c1} \sim I_{cx}$) が流れる。図4ではライン期間 L_j ($j = 1 \sim y$) において各信号線に流れる信号電流の値を、 $I_{c1}[L_j] \sim I_{cx}[L_j]$ と表している。

【0051】書き込み期間 T_a と表示期間 T_d の開始されるタイミングは、各ラインの画素ごとにずれており、各ラインの画素の書き込み期間の出現するタイミングは重ならない。

【0052】一方デジタルのビデオ信号を用いた時間階調の駆動方法（デジタル駆動法）の場合、各画素において1フレーム期間中に書き込み期間 T_a と表示期間 T_d が繰り返し出現することで、1つの画像を表示することが可能である。 n ビットのビデオ信号によって画像を表示する場合、少なくとも各ビットに対応した n 個の書き込み期間と、 n 個の表示期間とが1フレーム期間内に設けられる。 n 個の書き込み期間 ($T_{a1} \sim T_{an}$) と、 n 個の表示期間 ($T_{d1} \sim T_{dn}$) は、ビデオ信号の各ビットに対応している。

【0053】図5に1フレーム期間において、 n 個の書き込み期間 ($T_{a1} \sim T_{an}$) と n 個の表示期間 ($T_{d1} \sim T_{dn}$) が出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線の位置を示している。

【0054】書き込み期間 T_{am} (m は $1 \sim n$ の任意の数) の次には、同じビット数に対応する表示期間、この場合 T_{dm} が出現する。書き込み期間 T_a と表示期間 T_d とを合わせてサブフレーム期間 SF と呼ぶ。 m ビット目に対応している書き込み期間 T_{am} と表示期間 T_{dm} とを有するサブフレーム期間は SF_m となる。

【0055】表示期間 $T_{d1} \sim T_{dn}$ の長さは、 $T_{d1} : T_{d2} : \dots : T_{dn} = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0056】なお、表示上での画質向上のため、表示期間の長いサブフレーム期間を、幾つかに分割しても良

い。具体的な分割の仕方については、特開 2002-023696 号、特願 2001-257163 号において開示されているので、参照することが可能である。

【0057】図 5 に示した駆動法では、1 フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0058】本発明では、上記構成により、有機発光層が劣化しても OLED の輝度の低下を抑えることができ、その結果鮮明な画像を表示することができる。また、各色毎に対応した OLED を用いたカラー表示の発光装置の場合、OLED の有機発光層が、対応する色ごとに異なる速度で劣化しても、各色の輝度のバランスが崩れるのを防いで所望の色を表示することができる。

【0059】また、有機発光層の温度が外気温や OLED パネル自身が発する熱等に左右されても、OLED 駆動電流を所望の値に制御することができる。よって、OLED 駆動電流と OLED の輝度は比例するので、OLED の輝度が増加するのを抑えることができ、また温度の上昇に伴って消費電流が大きくなるのを防ぐことができる。また、カラー表示の発光装置の場合、温度変化に左右されずに各色の OLED の輝度の変化を抑えることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0060】さらに、一般的に、有機発光材料の種類によって温度変化における OLED 駆動電流の変化の度合いが異なるため、カラー表示において各色の OLED の輝度が温度によってバラバラに変化することが起こりうる。しかし本発明の発光装置では、温度変化に左右されずに所望の輝度を得ることができるので、各色の輝度のバランスが崩れるのを防ぐことができ、所望の色を表示することができる。

【0061】また一般的な発光装置は、各画素に電流を供給する配線自体が抵抗を有するため、配線の長さによってその電位が多少降下する。そしてこの電位の降下は、表示する画像によっても大きく異なる。特に、同じ配線から電流が供給される複数の画素において、階調数の高い画素の割合が大きくなると、配線に流れる電流が大きくなり、電位の降下が顕著に現れる。電位が降下すると、各画素の OLED にそれぞれかかる電圧が小さくなるため、各画素に供給される電流は小さくなる。よって、ある所定の画素において一定の階調を表示しようとしても、同じ配線から電流が供給されている他の画素の階調数が変化すると、それに伴って該所定の画素に供給される電流が変化し、結果的に階調数も変化する。しかし本発明の発光装置では、表示する画像毎に測定値と基準値を得て、OLED 電流を補正することができるので、表示する画像が変化しても補正により所望の階調数を表示することができる。

【0062】（実施の形態 3）本実施の形態では、図 2 に示した発光装置の駆動の、実施の形態 2 とは異なる例

について、図 6 を用いて説明する。本実施の形態では、図 2 に示した発光装置の各画素の動作を、書き込み期間 T_a と、表示期間 T_d と、非表示期間 T_e とに分けて説明する。なお、書き込み期間 T_a と表示期間 T_d における画素の動作は、実施の形態 2 において既に説明しているので、ここでは非表示期間 T_e における画素の動作について説明する。

【0063】非表示期間 T_e は、表示期間 T_d が終了した後、表示期間 T_d が出現する前に出現する。非表示期間 T_d では、第 1 走査線 G_{aj} 及び第 2 走査線 G_{bj} は選択されていない。

【0064】図 6 に、非表示期間 T_e における画素の概略図を示す。トランジスタ T_{r3} 及びトランジスタ T_{r4} はオフになっている。また、トランジスタ T_{r2} もオフになっている。よって、OLED 106 に OLED 駆動電流は流れず、OLED 106 は発光しない。

【0065】非表示期間 T_e は、必ずしも全ての表示期間 T_d の後に出現するわけではない。ただし、全ラインの画素の書き込み期間が終了する前に、1 ライン目の画素の表示期間が終了するような場合、該表示期間の後に非表示期間が出現する。

【0066】本実施の形態の駆動方法は、主にデジタルのビデオ信号による駆動において用いられる。デジタルのビデオ信号を用いた時間階調の駆動方法（デジタル駆動法）では、各画素において 1 フレーム期間中に書き込み期間 T_a と表示期間 T_d が繰り返し出現することで、1 つの画像を表示することが可能である。n ビットのビデオ信号によって画像を表示する場合、少なくとも n 個の書き込み期間と、n 個の表示期間とが 1 フレーム期間内に設けられる。n 個の書き込み期間 ($T_{a1} \sim T_{an}$) と、n 個の表示期間 ($T_{d1} \sim T_{dn}$) は、ビデオ信号の各ビットに対応している。

【0067】図 7 に 1 フレーム期間において、n 個の書き込み期間 ($T_{a1} \sim T_{an}$) と n 個の表示期間 ($T_{d1} \sim T_{dn}$) と、1 個の非表示期間 ($T_{e1} \sim T_{e1}$) が出現するタイミングを示す。なお、説明を簡単にするために、本実施の形態では $l = n - 3$ の場合について説明する。横軸は時間を示しており、縦軸は画素が有する第 1 走査線の位置を示している。また、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{an}$ の開始されるタイミングを矢印で示した。また、各ビットごとに、1 ライン目の画素の書き込み期間が開始されてから、y ライン目の画素の書き込み期間が終了するまでの期間を、 $\Sigma T_{a1} \sim \Sigma T_{an}$ で示す。

【0068】書き込み期間 T_{a1} において、1 ライン目の画素から順に、1 ビット目のデジタルビデオ信号によりトランジスタ T_{r1} のドレイン電流が制御される。そして次に表示期間 T_{d1} が開始されると、1 ライン目の画素から順に、トランジスタ T_{r3} 及び T_{r4} がオフに

なり、トランジスタ $T_r 2$ がオンになることで、ドレイン電流が $OLED 106$ に流れる。よって、 $OLED 106$ が発光または非発光の状態になる。

【0069】そして次に、非表示期間 T_{e1} が開始され、1ライン目の画素から順に、トランジスタ $T_r 3$ 及び $T_r 4$ がオフのままで、トランジスタ $T_r 2$ がオフの状態になる。よって、 $OLED 106$ にドレイン電流が流れなくなり、 $OLED 106$ がオフの状態になる。

【0070】そして、次に書き込み期間 T_{a2} が開始され、上述した動作が非表示期間 $T_{e(n-3)}$ が終了するまで繰り返される。

【0071】非表示期間 $T_{e(n-3)}$ が終了すると、書き込み期間 $T_{a(n-2)}$ が開始され、1ライン目の画素から順に、 $(n-2)$ ビット目のデジタルビデオ信号によりトランジスタ $T_r 1$ のドレイン電流が制御される。そして次に表示期間 $T_{d(n-2)}$ が開始されると、1ライン目の画素から順に、トランジスタ $T_r 3$ 及び $T_r 4$ がオフになり、トランジスタ $T_r 2$ がオンになることで、ドレイン電流が $OLED 106$ に流れる。よって、 $OLED 106$ が発光または非発光の状態になる。

【0072】そして次に、書き込み期間 $T_{a(n-1)}$ が開始され、上述した動作が表示期間 T_{dn} が終了するまで繰り返される。

【0073】1ライン目の画素において T_{dn} が終了した後、1フレーム期間が終了し、再び1ライン目の画素において、次のフレーム期間の書き込み期間 T_{a1} が開始される。そして上述した動作が再び繰り返される。1フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【0074】全ての画素において表示期間 T_{dn} が終了すると、1つの画像を表示することができる。

【0075】なお、表示期間の長さを $T_{d1} : T_{d2} : T_{d3} : \dots : T_{d(n-1)} : T_{dn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とする。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0076】

【実施例】以下に、本発明の実施例について説明する。

【0077】（実施例1）本実施例では、本発明の発光装置の、図2とは異なる画素の構成について説明する。

【0078】本実施例の発光装置が有する $OLED$ パネルは、図1に示した $OLED$ パネルとは異なり、第2走査線駆動回路を有していない。なお本実施例では、以下、第1走査線駆動回路を単に走査線駆動回路と呼ぶ。

【0079】本実施例の $OLED$ パネルは、複数の画素がマトリクス状に形成されている画素部と、信号線駆動回路と、走査線駆動回路を有している。

【0080】信号線駆動回路と、走査線駆動回路は、画素部と同じ基板上に形成されていても良いし、それぞれ

異なる基板上に形成され、FPC等を介して画素部と接続されていても良い。また、信号線駆動回路と走査線駆動回路の数は、設計者が任意に設定することができる。

【0081】そして、画素部には、信号線 $S_1 \sim S_x$ 、電源線 $V_1 \sim V_x$ 、走査線 $G_1 \sim G_y$ が設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【0082】電源線 $V_1 \sim V_x$ は所定の電位に保たれている。電源線 $V_1 \sim V_x$ の電位の高さは全て同じでなくとも良い。

【0083】図8に、本実施例の画素の詳しい構成を示す。図8に示す画素 201 は、信号線 S_i ($S_1 \sim S_x$ のうちの1つ)、走査線 G_j ($G_1 \sim G_y$ のうちの1つ) 及び電源線 V_i ($V_1 \sim V_x$ のうちの1つ) を有している。

【0084】また画素 201 は、トランジスタ $T_r 1$ (電流制御用トランジスタまたは第1のトランジスタ)、トランジスタ $T_r 2$ (駆動用トランジスタまたは第2のトランジスタ)、トランジスタ $T_r 3$ (第1スイッチング用トランジスタまたは第3のトランジスタ)、トランジスタ $T_r 4$ (第2スイッチング用トランジスタまたは第4のトランジスタ)、 $OLED 206$ 及び保持容量 205 を有している。

【0085】トランジスタ $T_r 3$ とトランジスタ $T_r 4$ のゲート電極は、共に走査線 G_j に接続されている。

【0086】トランジスタ $T_r 3$ のソース領域とドレイン領域は、一方は信号線 S_i に、もう一方はトランジスタ $T_r 1$ のゲート電極に接続されている。またトランジスタ $T_r 4$ のソース領域とドレイン領域は、一方は信号線 S_i に、もう一方はトランジスタ $T_r 1$ のドレイン領域に接続されている。

【0087】トランジスタ $T_r 1$ のソース領域は電源線 V_i に接続されており、ドレイン領域はトランジスタ $T_r 2$ のソース領域に接続されている。トランジスタ $T_r 2$ のゲート電極は走査線 G_j に接続されている。トランジスタ $T_r 2$ のドレイン領域は、 $OLED 206$ が有する画素電極に接続されている。

【0088】 $OLED 206$ は陽極と陰極を有している。

【0089】対向電極の電位は、一定の高さに保たれている。

【0090】なお、トランジスタ $T_r 3$ と $T_r 4$ は、 n チャネル型トランジスタと p チャネル型トランジスタのどちらでも良い。ただし、トランジスタ $T_r 3$ とトランジスタ $T_r 4$ の極性は同じである。

【0091】また、トランジスタ $T_r 1$ と $T_r 2$ は、トランジスタ $T_r 3$ と $T_r 4$ と逆の極性を有している。したがって、トランジスタ $T_r 3$ 及び $T_r 4$ がオンのと

き、Tr 2 はオフであり、逆にトランジスタ Tr 3 及び Tr 4 がオフのとき、Tr 2 はオンである。

【0092】そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ Tr 1 と Tr 2 は p チャンネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ Tr 1 と Tr 2 は n チャンネル型トランジスタである。

【0093】保持容量 205 はトランジスタ Tr 1 のゲート電極と電源線 Vi との間に形成されている。保持容量 205 はトランジスタ Tr 1 のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【0094】図 8 に示した画素は、実施の形態 2 で示した駆動方法で動作する。すなわち、図 3 に示したように、その動作は書き込み期間と表示期間に分けて説明することが可能である。なお、各画素の詳しい動作の仕方については実施の形態 2 を参照することができるので、ここでは省略する。

【0095】（実施例 2）本実施例では、本発明の発光装置の、図 2、図 8 とは異なる画素の構成について説明する。

【0096】本実施例の発光装置が有する OLED パネルは、図 1 に示した OLED パネルと同じく、複数の画素がマトリクス状に形成されている画素部と、信号線駆動回路と、第 1 走査線駆動回路と、第 2 走査線駆動回路とを有している。

【0097】信号線駆動回路と、第 1 走査線駆動回路と、第 2 走査線駆動回路は、画素部と同じ基板上に形成されていても良いし、それぞれ異なる基板上に形成され、FPC 等を介して画素部と接続されていても良い。また、信号線駆動回路と、第 1 走査線駆動回路と、第 2 走査線駆動回路の数は、設計者が任意に設定することができる。

【0098】そして、画素部には、信号線 S1～Sx、電源線 V1～Vx、第 1 走査線 Ga1～Gay、第 2 走査線 Gb1～Gby が設けられている。なお信号線と電源線の数は必ずしも同じであるとは限らない。また、第 1 走査線と第 2 走査線の数も必ずしも同じであるとは限らない。また本発明の発光装置が必ずしもこれらの配線を全て有している必要はなく、また、これらの配線の他に、別の異なる配線が設けられていても良い。

【0099】電源線 V1～Vx は所定の電位に保たれている。電源線 V1～Vx の電位の高さは全て同じでなくとも良い。

【0100】図 9 に、本実施例の画素の詳しい構成を示す。図 9 に示す画素 211 は、信号線 Si（S1～Sx のうちの 1 つ）、第 1 走査線 Gaj（Ga1～Gay のうちの 1 つ）、第 2 走査線 Gbj（Gb1～Gby のうちの 1 つ）及び電源線 Vi（V1～Vx のうちの 1 つ）

を有している。

【0101】また画素 211 は、トランジスタ Tr 1（電流制御用トランジスタまたは第 1 のトランジスタ）、トランジスタ Tr 2（駆動用トランジスタまたは第 2 のトランジスタ）、トランジスタ Tr 3（第 1 スイッチング用トランジスタまたは第 3 のトランジスタ）、トランジスタ Tr 4（第 2 スイッチング用トランジスタまたは第 4 のトランジスタ）、トランジスタ Tr 5（消去用トランジスタまたは第 5 のトランジスタ）、OLED 216 及び保持容量 215 を有している。

【0102】トランジスタ Tr 3 とトランジスタ Tr 4 のゲート電極は、共に第 1 走査線 Gaj に接続されている。

【0103】トランジスタ Tr 3 のソース領域とドレイン領域は、一方は信号線 Si に、もう一方はトランジスタ Tr 1 のゲート電極に接続されている。またトランジスタ Tr 4 のソース領域とドレイン領域は、一方は信号線 Si に、もう一方はトランジスタ Tr 1 のドレイン領域に接続されている。

【0104】トランジスタ Tr 1 のソース領域は電源線 Vi に接続されており、ドレイン領域はトランジスタ Tr 2 のソース領域に接続されている。トランジスタ Tr 2 のゲート電極は第 1 走査線 Gaj に接続されている。トランジスタ Tr 2 のドレイン領域は、OLED 216 が有する画素電極に接続されている。

【0105】トランジスタ Tr 5 のゲート電極は第 2 走査線 Gbj に接続されている。また、トランジスタ Tr 5 のソース領域とドレイン領域は、一方は電源線 Vi に、もう一方はトランジスタ Tr 1 のゲート電極に接続されている。

【0106】OLED 216 は陽極と陰極を有している。

【0107】対向電極の電位は、一定の高さに保たれている。

【0108】なお、トランジスタ Tr 3 と Tr 4 は、n チャンネル型トランジスタと p チャンネル型トランジスタのどちらでも良い。ただし、トランジスタ Tr 3 とトランジスタ Tr 4 の極性は同じである。

【0109】また、トランジスタ Tr 1 と Tr 2 は、トランジスタ Tr 3 と Tr 4 と逆の極性を有している。したがって、トランジスタ Tr 3 及び Tr 4 がオンのとき、Tr 2 はオフであり、逆にトランジスタ Tr 3 及び Tr 4 がオフのとき、Tr 2 はオンである。

【0110】そして、陽極を画素電極として用い、陰極を対向電極として用いる場合、トランジスタ Tr 1 と Tr 2 は p チャンネル型トランジスタである。逆に、陽極を対向電極として用い、陰極を画素電極として用いる場合、トランジスタ Tr 1 と Tr 2 は n チャンネル型トランジスタである。

【0111】保持容量 215 はトランジスタ Tr 1 のゲ

ート電極と電源線 V_i との間に形成されている。保持容量 215 はトランジスタ Tr_1 のゲート電極とソース領域の間の電圧（ゲート電圧）を維持するために設けられているが、必ずしも設ける必要はない。

【0112】図9に示した画素は、実施の形態3で示した駆動方法で動作する。ただし、図9に示した画素の場合、非表示期間における画素の動作は、図6に示したものと異なる。図9に示した画素の場合、非表示期間においてトランジスタ Tr_5 がオンになることで、 Tr_1 のゲート電圧が0に近くなり、 Tr_1 はオフになる。そして、トランジスタ Tr_2 はオンになっており、しかし Tr_1 はオフなので、OLED 216 に OLED 駆動電流は流れず、OLED 216 はオフになる。よって、その動作は書き込み期間と表示期間と非表示期間に分けて説明することが可能である。なお、詳しい駆動のタイミングについては実施の形態3を参照することができるので、ここでは省略する。

【0113】（実施例3）本実施例では、実施の形態2において示した駆動方法における、サブフレーム期間 $SF_1 \sim SF_n$ の出現する順序について説明する。

【0114】図10に、1フレーム期間において、 n 個の書き込み期間（ $Ta_1 \sim Ta_n$ ）と n 個の表示期間（ $Td_1 \sim Td_n$ ）とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線の位置を示している。各画素の詳しい動作については実施の形態2を参照すれば良いので、ここでは省略する。

【0115】本実施例の駆動方法では、1フレーム期間中で1番長い表示期間を有するサブフレーム期間（本実施例では SF_n ）を、1フレーム期間の最初及び最後に設けない。言い換えると、1フレーム期間中で1番長い表示期間を有するサブフレーム期間の前後に、同じフレーム期間に含まれる他のサブフレーム期間が出現するような構成を有している。

【0116】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0117】なお本実施例の構成は $n \geq 3$ の場合において有効である。また、本実施例は実施例1と自由に組み合わせることで実施することが可能である。

【0118】（実施例4）本実施例では、実施例3とは異なる駆動方法の一例について説明する。

【0119】図11に、1フレーム期間において、 $n+1$ 個の書き込み期間（ $Ta_1 \sim Ta_{(n+1)}$ ）と $n+1$ 個の表示期間（ $Td_1 \sim Td_{(n+1)}$ ）とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線の位置を示している。各画素の詳しい動作については実施の形態2を参照すれば良いので、ここでは省略する。

【0120】本実施例では n ビットのデジタルビデオ信

号に対応して、1フレーム期間内に $n+1$ のサブフレーム期間 $SF_1 \sim SF_{(n+1)}$ が設けられる。そしてサブフレーム期間 $SF_1 \sim SF_{(n+1)}$ は、 $n+1$ 個の書き込み期間（ $Ta_1 \sim Ta_{(n+1)}$ ）と、 $n+1$ 個の表示期間（ $Td_1 \sim Td_{(n+1)}$ ）とを有している。

【0121】書き込み期間 Tam （ m は $1 \sim n+1$ の任意の数）と表示期間 Tdm とを有するサブフレーム期間は SF_m となる。書き込み期間 Tam の次には、同じビット数に対応する表示期間、この場合 Tdm が出現する。

【0122】サブフレーム期間 $SF_1 \sim SF_{n-1}$ は、 $1 \sim (n-1)$ ビットのデジタルビデオ信号の各ビットに対応している。サブフレーム期間 SF_n 及び $SF_{(n+1)}$ は n ビット目のデジタルビデオ信号に対応している。

【0123】また本実施例では、同じビットのデジタルビデオ信号に対応するサブフレーム期間 SF_n と $SF_{(n+1)}$ は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応するサブフレーム期間 SF_n と $SF_{(n+1)}$ の間に、他のサブフレーム期間が設けられている。

【0124】1フレーム期間中に書き込み期間 Ta と表示期間 Td とが繰り返して出現することで、1つの画像を表示することが可能である。

【0125】表示期間 $Td_1 \sim Td_{(n+1)}$ の長さは、 $Td_1 : Td_2 : \dots : (Td_n + Td_{(n+1)}) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0126】本発明の駆動方法では、1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0127】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、図5及び図10に示した駆動方法に比べて、人間の目に認識されずらくすることができる。

【0128】なお本実施例では、同じビットに対応するサブフレーム期間が2つある場合について説明したが、本発明はこれに限定されない。1フレーム期間内に同じビットに対応するサブフレーム期間が3つ以上設けられていても良い。

【0129】また、本実施例では最上位ビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応するサブフレーム期間を複数設けても良い。また、対応するサブフレーム期間が複数設けられたビットは1つだけに限られず、いくつかのビットのそれぞれに複数のサブフレーム期間が対応するような構成にしても良い。

【0130】なお本実施例の構成は $n \geq 2$ の場合におい

て有効である。また、本実施例は実施例 1、3 と自由に組み合わせて実施することが可能である。

【0131】（実施例 5）本実施例では、実施の形態 3 に示した駆動方法において、の出現する順序について説明する。ただし本実施例では $n=6$ 、 $l=5$ の場合について説明する。なお、本実施例では本発明の駆動方法の一例について説明しており、対応するデジタルビデオ信号のビット数 n や l の値については、本発明は本実施例の構成に限定されない。なお本実施例の構成はデジタルビデオ信号のビット数が 3 以上の場合において有効である。

【0132】図 12 に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第 1 走査線及び第 2 走査線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{a6}$ の開始されるタイミングを矢印で示した。また、対応するビットごとに、1 ライン目の画素の書き込み期間が開始されてから、 y ライン目の画素の書き込み期間が終了するまでの期間（ $\Sigma T_{a1} \sim \Sigma T_{a6}$ ）を矢印で示す。

【0133】また、画素の詳しい動作については、実施の形態 3 を参照することができるので、ここでは説明を省略する。

【0134】はじめに 1 ライン目の画素において、書き込み期間 T_{a4} が開始される。書き込み期間 T_{a4} が開始されると、4 ビット目のデジタルビデオ信号が 1 ライン目の画素に入力される。

【0135】そして、1 ライン目の画素において書き込み期間 T_{a4} が終了すると、次に 2 ライン目以降の画素においても、順に書き込み期間 T_{a4} が開始される。そして 1 ライン目の画素の場合と同様に、各ラインの画素に 4 ビット目のデジタルビデオ信号が入力される。

【0136】一方、2 ライン目以降の画素において書き込み期間 T_{a4} が開始されるのと同時並行して、1 ライン目の画素において表示期間 T_{d4} が開始される。表示期間 T_{d4} が開始されると、4 ビット目のデジタルビデオ信号によって 1 ライン目の画素が表示を行う。

【0137】そして、1 ライン目の画素において表示期間 T_{d4} が開始された後、2 ライン目以降の画素においても順に書き込み期間 T_{a4} が終了し、表示期間 T_{d4} が開始される。そして、4 ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0138】一方、2 ライン目以降のラインの画素において表示期間 T_{d4} が開始した後、1 ライン目の画素において表示期間 T_{d4} が終了し、非表示期間 T_{e4} が開始される。なお、2 ライン目以降のラインの画素において表示期間 T_{d4} が開始されるのと同時並行して、1 ライン目の画素において表示期間 T_{d4} が終了し、非表示

期間 T_{e4} が開始されても良い。

【0139】非表示期間 T_{e4} が開始されると、1 ライン目の画素が表示を行わなくなる。

【0140】次に、1 ライン目の画素において非表示期間 T_{e4} が開始された後、2 ライン目以降の画素においても順に表示期間 T_{d4} が終了し、非表示期間 T_{e4} が開始される。よって、各ラインの画素が表示を行わなくなる。

【0141】一方、2 ライン目以降のラインの画素において非表示期間 T_{e4} が開始されるのと同時並行、もしくは全ての画素において非表示期間 T_{e4} が開始された後に、1 ライン目の画素において書き込み期間 T_{a5} が開始される。

【0142】1 ライン目の画素において書き込み期間 T_{a5} が開始されると、5 ビット目のデジタルビデオ信号が 1 ライン目の画素に入力される。そして、1 ライン目の画素において書き込み期間 T_{a5} が終了すると、2 ライン目以降の画素においても、順に書き込み期間 T_{a5} が開始される。

【0143】一方、1 ライン目の画素において書き込み期間 T_{a5} が終了した後、2 ライン目以降のラインの画素において書き込み期間 T_{a5} が開始されるのと同時並行して、1 ライン目の画素において表示期間 T_{d5} が開始される。表示期間 T_{d5} においても、表示期間 T_{d5} と同様に、5 ビット目のデジタルビデオ信号によって画素が表示を行う。

【0144】そして、1 ライン目の画素において表示期間 T_{d5} が開始された後、2 ライン目以降の画素においても、順に書き込み期間 T_{a5} が終了し、表示期間 T_{d5} が開始される。

【0145】次に、全てのラインの画素において表示期間 T_{d5} が開始された後、1 ライン目の画素において表示期間 T_{d5} が終了し、書き込み期間 T_{a2} が開始される。

【0146】1 ライン目の画素において書き込み期間 T_{a2} が開始されると、2 ビット目のデジタルビデオ信号が 1 ライン目の画素に入力される。

【0147】そして、1 ライン目の画素において書き込み期間 T_{a2} が終了すると、次に 2 ライン目以降の画素においても、順に書き込み期間 T_{a2} が開始される。そして 1 ライン目の画素の場合と同様に、各ラインの画素に 2 ビット目のデジタルビデオ信号が入力される。

【0148】一方、2 ライン目以降の画素において書き込み期間 T_{a2} が開始されるのと同時並行して、1 ライン目の画素において表示期間 T_{d2} が開始される。表示期間 T_{d2} が開始されると、2 ビット目のデジタルビデオ信号によって 1 ライン目の画素が表示を行う。

【0149】そして、1 ライン目の画素において表示期間 T_{d2} が開始された後、2 ライン目以降の画素においても順に書き込み期間 T_{a2} が終了し、表示期間 T_{d2}

が開始される。そして、2ビット目のデジタルビデオ信号によって各ラインの画素が表示を行う。

【0150】一方、2ライン目以降のラインの画素において表示期間Td2が開始されるのと同時並行して、1ライン目の画素において表示期間Td2が終了し、非表示期間Te2が開始される。

【0151】非表示期間Te2が開始されると、1ライン目の画素が表示を行わなくなる。

【0152】次に、1ライン目の画素において非表示期間Te2が開始された後、2ライン目以降の画素において順に表示期間Td2が終了し、非表示期間Te2が開始される。よって、各ラインの画素が表示を行わなくなる。

【0153】一方、2ライン目以降のラインの画素において非表示期間Te2が開始されるのと同時並行、もしくは全ての画素において非表示期間Te2が開始された後に、1ライン目の画素において書き込み期間Ta3が開始される。

【0154】上述した動作は1～6の全てのビットのデジタルビデオ信号が画素に人力される前まで繰り返し行われ、各ラインの画素ごとに、書き込み期間Taと、表示期間Tdと、非表示期間Teとが繰り返し出現する。

【0155】1ライン目の画素において全ての表示期間Td1～Td6が終了した後、1ライン目の画素において1フレーム期間が終了し、再び次のフレーム期間の最初の書き込み期間（本実施例ではTa4）が開始される。また1ライン目の画素において1フレーム期間が終了した後、2ライン目以降の画素においても1フレーム期間が終了し、再び次のフレーム期間の書き込み期間Ta4が開始される。

【0156】そして上述した動作が再び繰り返される。1フレーム期間が開始するタイミングと、終了するタイミングは、各ラインの画素毎に時間差を有している。

【0157】全てのラインの画素において1フレーム期間が終了すると1つの画像を表示することができる。

【0158】本実施例では、表示期間の長さをTd1：Td2：…：Td5：Td6＝2°：2'：…：2'：2°とする。この表示期間の組み合わせで2°階調のうち所望の階調表示を行うことができる。

【0159】1フレーム期間中にOLEDが発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、本実施例の場合は、全部の表示期間で画素が発光した場合の輝度を100%とすると、Td1とTd2において画素が発光した場合には5%の輝度が表現でき、Td3とTd5を選択した場合には32%の輝度が表現できる。

【0160】なお、各ラインの画素の書き込み期間は互いに重ならないので、yライン目の画素における書き込み期間が終了した後に、1ライン目の画素における書き

込み期間が開始されるようにする。

【0161】また本実施例では、各ラインの画素の表示期間Td5の長さは、1ライン目の画素の書き込み期間Ta5が開始されてから、yライン目の画素の書き込み期間Ta5が終了するまでの期間（ΣTa5）より、長いことが肝要である。

【0162】また表示期間Td1～Td6は、どのような順序で出現させても良い。例えば1フレーム期間中において、Td1の次にTd3、Td5、Td2、…という順序で表示期間を出現させることも可能である。ただし、各ラインの画素における書き込み期間が、互いに重ならないようにすることが必要である。

【0163】本発明の駆動方法では、1ライン目の画素の書き込み期間Taが開始されてから、yライン目の画素の書き込み期間Taが終了するまでの期間、言い換えると全ての画素に1ビット分のデジタルビデオ信号を書き込む期間より、各ラインの画素の表示期間の長さを短くすることができる。よって、デジタルビデオ信号のビット数が増加しても、下位ビットに対応する表示期間の長さを短くすることができるので、画面をちらつかせることなく高精細な画像を表示することが可能である。

【0164】また、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なるEL材料を有するOLEDを設けた場合でも、温度によって各色のOLEDの輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【0165】なお本実施例の駆動方法では、1フレーム期間中で1番長い表示期間（本実施例ではTd6）を、1フレーム期間の最初及び最後に設けない。言い換えると、1フレーム期間中で1番長い表示期間の前後に、同じフレーム期間に含まれる他の表示期間が出現するような構成にしている。

【0166】上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、人間の目に認識されずらくすることができる。

【0167】また、本実施例は実施例2と自由に組み合わせることで実施することが可能である。

【0168】（実施例6）本実施例では、nビットのデジタルビデオ信号を用いた、実施例5とは異なる駆動方法の一例について説明する。ただし本実施例では1＝n－2の場合について説明する。

【0169】本実施例の駆動方法では、同じ最上位ビットのデジタルビデオ信号に対応する表示期間Td nと表示期間Td（n＋1）を有している。そして、表示期間Td nと表示期間Td（n＋1）のそれぞれに対応して、書き込み期間T a nと書き込み期間T a（n＋1）とが設けられている。

【0170】なお本実施例では、同じビットのデジタル

ビデオ信号に対応する表示期間 T_{dn} と $T_d(n+1)$ は連続して出現しない。言い換えると、同じビットのデジタルビデオ信号に対応する表示期間 T_{dn} と $T_d(n+1)$ の間に、他の表示期間が設けられている。

【0171】図13に、本実施例の駆動方法において、書き込み期間と、表示期間と、非表示期間とが出現するタイミングを示す。横軸は時間を示しており、縦軸は画素が有する第1走査線及び第2走査線の位置を示している。ただし、書き込み期間は短いので、図を見やすくするために、各ビットに対応する書き込み期間 $T_{a1} \sim T_{a(n+1)}$ の開始されるタイミングを矢印で示した。また、対応するビットごとに、1ライン目の画素の書き込み期間が開始されてから、 y ライン目の画素の書き込み期間が終了するまでの期間 ($\Sigma T_{a1} \sim \Sigma T_{a(n+1)}$) を矢印で示す。

【0172】また、画素の詳しい動作については、実施の形態の場合と同じであるので、ここでは説明を省略する。

【0173】表示期間 $T_{d1} \sim T_d(n+1)$ の長さは、 $T_{d1} : T_{d2} : \dots : T_d(n-1) : (T_{dn} + T_d(n+1)) = 2^0 : 2^1 : \dots : 2^{n-1}$ を満たす。

【0174】1フレーム期間中における発光する表示期間の長さの和を制御することで、階調を表示する。

【0175】本実施例は上記構成によって、中間階調の表示を行ったときに、隣り合うフレーム期間同士で発光する表示期間が隣接することによって起きていた表示むらを、実施例2の場合に比べて人間の目に認識されにくくすることができる。

【0176】なお本実施例では、同じビットに対応する表示期間が2つある場合について説明したが、本発明はこれに限定されない。1フレーム期間内に同じビットに対応する表示期間が3つ以上設けられていても良い。

【0177】また、本実施例では最上位ビットのデジタルビデオ信号に対応する表示期間を複数設けたが、本発明はこれに限定されない。最上位ビット以外のビットのデジタルビデオ信号に対応する表示期間を複数設けても良い。また、対応する表示期間が複数設けられたビットは1つだけに限られず、いくつかのビットのそれぞれに複数の表示期間が対応するような構成にしても良い。

【0178】なお本実施例の構成は $n \geq 2$ の場合において有効である。また、本実施例は実施例2または5と自由に組み合わせて実施することが可能である。

【0179】(実施例7) 本実施例では、本発明の発光装置の作製方法について説明する。なお、本実施例では、図2に示した画素の作製方法を例にとって説明する。また本実施例では、画素が有するトランジスタ Tr_2 、 Tr_4 の断面図のみ示すが、トランジスタ Tr_1 及び Tr_3 も本実施例の作製方法を参照して作ることが可能である。またその他画素が有するトランジスタ(例えば図9に示す画素ではトランジスタ Tr_5) も、同様に

形成することが可能である。さらに本実施例では、画素部の周辺に設けられる駆動回路(信号線駆動回路、第1走査線駆動回路、第2走査線駆動回路)が有する TFT を、画素部の TFT と同一基板上に同時に形成する例を示す。

【0180】まず、図14(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスから成る基板301上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜302を形成する。例えば、プラズマCVD法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜302aを $10 \sim 200$ [nm] (好ましくは $50 \sim 100$ [nm]) 形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜302bを $50 \sim 200$ [nm] (好ましくは $100 \sim 150$ [nm]) の厚さに積層形成する。本実施例では下地膜302を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0181】島状半導体層303～306は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層303～306の厚さは $25 \sim 80$ [nm] (好ましくは $30 \sim 60$ [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム ($SiGe$) 合金などで形成すると良い。

【0182】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 300 [Hz] とし、レーザーエネルギー密度を $100 \sim 400$ [mJ/cm²] (代表的には $200 \sim 300$ [mJ/cm²]) とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数 $30 \sim 300$ [kHz] とし、レーザーエネルギー密度を $300 \sim 600$ [mJ/cm²] (代表的には $350 \sim 500$ [mJ/cm²]) とすると良い。そして幅 $100 \sim 1000$ [μ m]、例えば 400 [μ m] で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を $50 \sim 90$ [%] として行う。

【0183】次いで、島状半導体層303～306を覆うゲート絶縁膜307を形成する。ゲート絶縁膜307はプラズマCVD法またはスパッタ法を用い、厚さを $40 \sim 150$ [nm] としてシリコンを含む絶縁膜で形成す

る。本実施例では、120[nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力40[Pa]、基板温度300~400[℃]とし、高周波(13.56[MHz])、電力密度0.5~0.8[W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500[℃]の熱アニールにより

ゲート絶縁膜として良好な特性を得ることが出来る。
【0184】そして、ゲート絶縁膜307上にゲート電極を形成するための第1の導電膜308と第2の導電膜309とを形成する。本実施例では、第1の導電膜308をTaで50~100[nm]の厚さに形成し、第2の導電膜309をWで100~300[nm]の厚さに形成する。

【0185】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、 α 相のTa膜の抵抗率は20[$\mu\Omega\text{cm}$]程度でありゲート電極に使用することが出来るが、 β 相のTa膜の抵抗率は180[$\mu\Omega\text{cm}$]程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを10~50[nm]程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることが出来る。

【0186】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20[$\mu\Omega\text{cm}$]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999[%]または純度99.99[%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20[$\mu\Omega\text{cm}$]を実現することが出来る。

【0187】なお、本実施例では、第1の導電膜308をTa、第2の導電膜309をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の

組み合わせの一例で望ましいものとしては、第1の導電膜308を窒化タンタル(TaN)で形成し、第2の導電膜309をWとする組み合わせ、第1の導電膜308を窒化タンタル(TaN)で形成し、第2の導電膜309をAlとする組み合わせ、第1の導電膜308を窒化タンタル(TaN)で形成し、第2の導電膜309をCuとする組み合わせが挙げられる。(図14(A))

【0188】次に、レジストによるマスク310を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1[Pa]の圧力でコイル型の電極に500[W]のRF(13.56[MHz])電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100[W]のRF(13.56[MHz])電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0189】上記エッチング条件では、レジストによるマスクの形状を適したものとするにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20[%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50[nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層311~315(第1の導電層311a~315aと第2の導電層311b~315b)を形成する。このとき、ゲート絶縁膜307においては、第1の形状の導電層311~315で覆われない領域は20~50[nm]程度エッチングされ薄くなった領域が形成される。また、マスク310も上記エッチングにより表面がエッチングされた。

【0190】そして、第1のドーピング処理を行いn型を付与する不純物元素を添加する。ドーピングの方法はイオンドーブ法もしくはイオン注入法で行えば良い。イオンドーブ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を60~100[kV]として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層311~314がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域317~320が形成される。第1の不純物領域317~320には $1 \times 10^{18} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でn型を付与する不純物元素を添加

する。(図14(B))

【0191】次に、図14(C)に示すように、レジストマスク310は除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 とを用い、W膜を選択的にエッチングする。この時、第2のエッチング処理により第2の形状の導電層325~329(第1の導電層325a~329aと第2の導電層325b~329b)を形成する。このとき、ゲート絶縁膜307においては、第2の形状の導電層325~329で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0192】W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_6 、 TaF_5 、 TaCl_5 は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0193】そして、図15(A)に示すように第2のドーピング処理を行う。この場合、第1のドーピング処理よりもドーピング量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を70~120[keV]とし、 1×10^{13} [atoms/cm²]のドーピング量で行い、図14(B)で島状半導体層に形成された第1の不純物領域の内側に新たな不純物領域を形成する。ドーピングは、第2の形状の導電層325~328を不純物元素に対するマスクとして用い、第1の導電層325a~328aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域332~335が形成される。この第3の不純物領域332~335に添加されたリン(P)の濃度は、第1の導電層325a~328aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層325a~328aのテーパー部と重なる半導体層において、第1の導電層325a~328aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0194】図15(B)に示すように第3のエッチング処理を行う。エッチングガスに CHF_3 を用い、反応性イオンエッチング法(RIE法)を用いて行う。第3のエッチング処理により、第1の導電層325a~329aのテーパー部を部分的にエッチングして、第1の導電層が半導体層と重なる領域が縮小される。第3のエッチング処理によって、第3の形状の導電層336~340(第1の導電層336a~340aと第2の導電層336b~340b)を形成する。このとき、ゲート絶縁膜307においては、第3の形状の導電層336~340で覆われない領域はさらに20~50[nm]程度エッチングされ薄くなった領域が形成される。

【0195】第3のエッチング処理によって、第3の不純物領域332~335においては、第1の導電層336a~339aと重なる第3の不純物領域332a~335aと、第1の不純物領域と第3の不純物領域との間の第2の不純物領域332b~335bとが形成される。

【0196】そして、図15(C)に示すように、pチャネル型TFTを形成する島状半導体層303、306に第1の導電型とは逆の導電型の第4の不純物領域343~348を形成する。第3の形状の導電層336b、339bを不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体層304、305および第3の形状の導電層340は、レジストマスク350で全面を被覆しておく。不純物領域343~348にはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度が $2 \times 10^{18} \sim 2 \times 10^{21}$ [atoms/cm³]となるようにする。

【0197】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層336~339がゲート電極として機能する。また、第3の形状の導電層340はゲート配線として機能する。

【0198】レジストマスク350を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1[ppm]以下、好ましくは0.

1[ppm]以下の窒素雰囲気中で400~700[℃]、代表的には500~600[℃]で行うものであり、本実施例では500[℃]で4時間の熱処理を行う。ただし、第3の形状の導電層336~340に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。なお、第3の形状の導電層340はゲ

ト配線であり、その一部はトランジスタTr1（図示せず）のゲート電極として機能しており、なおかつトランジスタTr3（図示せず）のソース領域もしくはドレイン領域に接続されている。

【0199】さらに、3～100[%]の水素を含む雰囲気中で、300～450[℃]で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0200】次いで、図16（A）に示すように、第1の層間絶縁膜355を酸化窒化シリコン膜から100～200[nm]の厚さで形成する。その上に有機絶縁材料から成る第2の層間絶縁膜356を形成した後、第1の層間絶縁膜355、第2の層間絶縁膜356、およびゲート絶縁膜307に対してコンタクトホールを形成し、接続配線357～363をパターニング形成する。なお363は電源線であり、360は信号線である。

【0201】第2の層間絶縁膜356としては、有機樹脂を材料とする膜を用い、その有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することが出来る。特に、第2の層間絶縁膜356は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFEによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5[μm]（さらに好ましくは2～4[μm]）とすれば良い。

【0202】コンタクトホールの形成は、ドライエッチングまたはウエットエッチングを用い、n型の不純物領域317～319またはp型の不純物領域345、348に達するコンタクトホール、ゲート配線340に達するコンタクトホール、容量配線（図示せず）に達するコンタクトホール（図示せず）をそれぞれ形成する。

【0203】また、接続配線357～363として、Ti膜を100[nm]、Tiを含むアルミニウム膜を300[nm]、Ti膜150[nm]をスパッタ法で連続形成した3層構造の積層膜を所望の形状にパターニングしたものをを用いる。勿論、他の導電膜を用いても良い。

【0204】次に、接続配線（ドレイン配線）362に接する画素電極365をパターニング形成する。なお、接続配線にはソース配線とドレイン配線とが含まれる。ソース配線とは、活性層のソース領域に接続された配線であり、ドレイン配線とはドレイン領域に接続された配線を意味する。

【0205】また、本実施例では、画素電極365としてITO膜を110[nm]の厚さに形成し、パターニングを行った。画素電極365を接続配線362と接するように配置することでコンタクトを取っている。また、酸化インジウムに2～20[%]の酸化亜鉛（ZnO）を

混合した透明導電膜を用いても良い。この画素電極365がOLEDの陽極となる。（図16（A））

【0206】次に、図16（B）に示すように、珪素を含む絶縁膜（本実施例では酸化珪素膜）を500[nm]の厚さに形成し、画素電極365に対応する位置に開口部を形成して、バンクとして機能する第3の層間絶縁膜366を形成する。開口部を形成する際、ウエットエッチング法を用いることで容易にテーパー形状の側壁とすることが出来る。開口部の側壁が十分になだらかでない」と段差に起因する有機発光層の劣化が顕著な問題となってしまうため、注意が必要である。

【0207】次に、有機発光層367および陰極（MgAg電極）368を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機発光層367の膜厚は80～200[nm]（典型的には100～120[nm]）、陰極368の厚さは180～300[nm]（典型的には200～250[nm]）とすれば良い。

【0208】この工程では、赤色に対応する画素、緑色に対応する画素および青色に対応する画素に対して順次、有機発光層および陰極を形成する。但し、有機発光層は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に有機発光層を形成するのが好ましい。

【0209】即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機発光層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機発光層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の有機発光層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。

【0210】ここではRGBに対応した3種類のOLEDを形成する方式を用いたが、白色発光のOLEDとカラーフィルタを組み合わせた方式、青色または青緑発光のOLEDと蛍光体（蛍光性の色変換層：CCM）とを組み合わせた方式、陰極（対向電極）に透明電極を利用してRGBに対応したOLEDを重ねる方式などを用いても良い。

【0211】なお、有機発光層367としては公知の材料を用いることが出来る。公知の材料としては、駆動電圧を考慮すると有機材料を用いるのが好ましい。例えば正孔注入層、正孔輸送層、発光層および電子注入層でなる4層構造を有機発光層とすれば良い。

【0212】次に陰極368を形成する。なお本実施例では陰極368としてMgAgを用いたが、本発明はこれに限定されない。陰極368として他の公知の材料を用いても良い。

【0213】画素電極365と、有機発光層367と、陰極368とが重なっている部分が、OLED375に相当する。

【0214】また、次に保護電極369を蒸着法により形成する。保護電極369は、大気開放せずに陰極368と連続して形成しても良い。保護電極369は有機発光層367を水分や酸素から保護するのに有効である。

【0215】また、保護電極369は陰極368の劣化を防ぐために設けられ、アルミニウムを主成分とする金属膜が代表的である。勿論、他の材料でも良い。また、有機発光層367、陰極368は非常に水分に弱いので、保護電極369までを大気解放しないで連続的に形成し、外気から有機発光層を保護することが望ましい。

【0216】最後に、窒化珪素膜でなるパッシベーション膜370を300[nm]の厚さに形成する。パッシベーション膜370を形成しておくことで、有機発光層367を水分等から保護することができ、OLEDの信頼性をさらに高めることが出来る。なおパッシベーション膜370は必ずしも設ける必要はない。

【0217】こうして図16(B)に示すような構造の発光装置が完成する。371は駆動回路部のpチャネル型TFT、372は駆動回路部のnチャネル型TFT、373はトランジスタTr4、374はトランジスタTr2を意味している。

【0218】ところで、本実施例の発光装置は、画素部だけでなく駆動回路にも最適な構造のTFTを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。また結晶化工程においてNi等の金属触媒を添加し、結晶性を高めることも可能である。それによって、信号線駆動回路の駆動周波数を10[MHz]以上にすることが可能である。

【0219】なお、実際には図16(B)の状態まで完成したら、さらに外気に曝されないように、気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりするとOLEDの信頼性が向上する。

【0220】また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタを取り付ける。

【0221】また、本実施例で示す工程に従えば、発光装置の作製に必要なフォトマスクの数を抑えることが出来る。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することが出来る。

【0222】本実施例は、実施例1~6と自由に組み合わせ実施することが可能である。

【0223】(実施例8)本実施例では、実施例2にお

いて形成した画素の上面図について説明する。図17に本実施例の画素の上面図を示す。なお図17は、図16(A)の工程が終了した時点における、画素の上面図に相当する。図17では、層間絶縁膜やゲート絶縁膜などの各種絶縁膜は、配線や半導体層の位置を明確にするために省略した。また、同じ層に形成される配線は同じハッチで示す。

【0224】図17の、破線A-A'における断面図が、図16(A)のA-A'の部分に相当する。図18に、図17の破線B-B'における断面図を示す。

【0225】図17に示す画素は、信号線として機能する接続配線360(Si)と、第1走査線380(Gaj)と、第2走査線381(Gbj)と、電源線363(Vi)を1つづつ有している。そして、第1走査線380の一部である382、327は、それぞれトランジスタTr3と、Tr4のゲート電極に相当する。

【0226】トランジスタTr3のソース領域とドレイン領域は、一方は信号線360に接続されており、もう一方は接続配線383を介してゲート配線340に接続されている。ゲート配線340の一部384はトランジスタTr1のゲート電極として機能している。

【0227】また、トランジスタTr4のソース領域とドレイン領域は、一方は信号線360に接続されており、もう一方は接続配線361を介してトランジスタTr1のドレイン領域及びトランジスタTr2のソース領域に接続されている。

【0228】トランジスタTr1のソース領域は電源線363に接続されている。また、トランジスタTr2のドレイン領域は接続配線362を介して画素電極365に接続されている。

【0229】第2走査線381の一部である328は、トランジスタTr2のゲート電極として機能している。

【0230】電源線363は、第1及び第2層間絶縁膜を間に挟んで、ゲート配線340と重なっている。ゲート配線340は、ゲート絶縁膜(図示せず)を間に挟んで、半導体膜に不純物を添加することで形成された容量配線385と重なっている。電源線363と容量配線385とは、コンタクトホールを介して接続されている。なお、ゲート配線340と容量配線385がゲート絶縁膜を間に挟んで重なっている部分が、保持容量386に相当する。さらに、電源線363が第1及び第2層間絶縁膜を間に挟んでゲート配線340と重なっている部分も保持容量として用いても良い。

【0231】この電源線363の上を、各画素を区切る隔壁(バンク)の下に形成することによって、開口率を落とすことなく保持容量および電源線を形成することができる。

【0232】本実施例で示した画素の上面図は、本発明の構成のほんの一例に過ぎず、図17に示した画素の上面図は、本実施例で示した構成に限定されない。なお本

実施例は、実施例 1～7 と自由に組み合わせて実施することが可能である。

【0233】（実施例 9）本実施例では、図 8 に示した画素の上面図について説明する。図 19 に本実施例の画素の上面図を示す。なお図 17 は、画素電極の形成が終了し、有機発光層を成膜する前の段階における、画素の上面図に相当する。図 19 では、層間絶縁膜やゲート絶縁膜などの各種絶縁膜は、配線や半導体層の位置を明確にするために省略した。また、同じ層に形成される配線は同じハッチで示す。

【0234】図 19 に示す画素は、信号線として機能する接続配線 560（Si）と、走査線 580（Gj）と、電源線 563（Vi）を 1 つずつ有している。そして、走査線 580 の一部である 582、527、528 は、それぞれトランジスタ Tr3 と、Tr4 と、Tr2 のゲート電極に相当する。

【0235】トランジスタ Tr3 のソース領域とドレイン領域は、一方は信号線 560 に接続されており、もう一方は接続配線 583 を介してゲート配線 540 に接続されている。ゲート配線 540 の一部 584 はトランジスタ Tr1 のゲート電極として機能している。

【0236】また、トランジスタ Tr4 のソース領域とドレイン領域は、一方は信号線 560 に接続されており、もう一方は接続配線 561 を介してトランジスタ Tr1 のドレイン領域及びトランジスタ Tr2 のソース領域に接続されている。

【0237】トランジスタ Tr1 のソース領域は電源線 563 に接続されている。また、トランジスタ Tr2 のドレイン領域は接続配線 562 を介して画素電極 565 に接続されている。

【0238】電源線 563 は、第 1 及び第 2 層間絶縁膜を間に挟んで、ゲート配線 540 と重なっている。ゲート配線 540 は、ゲート絶縁膜（図示せず）を間に挟んで、半導体膜に不純物を添加することで形成された容量配線 585 と重なっている。電源線 563 と容量配線 585 とは、コンタクトホールを介して接続されている。なお、ゲート配線 540 と容量配線 585 がゲート絶縁膜を間に挟んで重なっている部分が、保持容量 586 に相当する。さらに、電源線 563 が第 1 及び第 2 層間絶縁膜を間に挟んでゲート配線 540 と重なっている部分も保持容量として用いても良い。

【0239】この電源線 563 の上を、各画素を区切る隔壁（バンク）の下に形成することによって、開口率を落とすことなく保持容量および電源線を形成することができる。

【0240】本実施例で示した画素の上面図は、本発明の構成のほんの一例に過ぎず、図 19 に示した画素の上面図は、本実施例で示した構成に限定されない。なお本実施例は、実施例 1～7 と自由に組み合わせて実施することが可能である。

【0241】（実施例 10）本実施例では、デジタルビデオ信号を用いて駆動する本発明の発光装置が有する駆動回路（信号線駆動回路及び第 1 走査線駆動回路）の構成について説明する。

【0242】図 20 に信号線駆動回路 601 の構成をブロック図で示す。602 はシフトレジスタ、603 は記憶回路 A、604 は記憶回路 B、605 は定電流回路である。

【0243】シフトレジスタ 602 にはクロック信号 CLK と、スタートパルス信号 SP が入力されている。また記憶回路 A 603 にはデジタルビデオ信号（Digital Video Signals）が入力されており、記憶回路 B 604 にはラッチ信号（Latch Signals）が入力されている。定電流回路 605 から出力される一定の信号電流 Ic は信号線へ入力される。

【0244】図 21 に信号線駆動回路 601 のより詳しい構成を示す。

【0245】シフトレジスタ 602 に所定の配線からクロック信号 CLK とスタートパルス信号 SP とが入力されることによって、タイミング信号が生成される。タイミング信号は記憶回路 A 603 が有する複数のラッチ A（LATA_1～LATA_x）にそれぞれ入力される。なおこのときシフトレジスタ 602 において生成されたタイミング信号を、バッファ等で緩衝増幅してから、記憶回路 A 603 が有する複数のラッチ A（LATA_1～LATA_x）にそれぞれ入力するような構成にしても良い。

【0246】記憶回路 A 603 にタイミング信号が入力されると、該タイミング信号に同期して、ビデオ信号線 610 に入力される 1 ビット分のデジタルビデオ信号が、順に複数のラッチ A（LATA_1～LATA_x）のそれぞれに書き込まれ、保持される。

【0247】なお、本実施例では記憶回路 A 603 にデジタルビデオ信号を取り込む際に、記憶回路 A 603 が有する複数のラッチ A（LATA_1～LATA_x）に、順にデジタルビデオ信号を入力しているが、本発明はこの構成に限定されない。記憶回路 A 603 が有する複数のステージのラッチをいくつかのグループに分け、各グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動すると言う。

【0248】記憶回路 A 603 の全てのステージのラッチへの、デジタルビデオ信号の書き込みが一通り終了するまでの時間を、ライン期間と呼ぶ。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【0249】1 ライン期間が終了すると、記憶回路 B 6

04が有する複数のラッチB (LATB__1~LATB__x) に、ラッチ信号線609を介してラッチシグナル (Latch Signal) が供給される。この瞬間、記憶回路A603が有する複数のラッチA (LATA__1~LATA__x) に保持されているデジタルビデオ信号は、記憶回路B604が有する複数のラッチB (LATB__1~LATB__x) に一斉に書き込まれ、保持される。

【0250】デジタルビデオ信号を記憶回路B604に送出し終えた記憶回路A603には、シフトレジスタ602からのタイミング信号に基づき、次の1ビット分のデジタルビデオ信号の書き込みが順次行われる。

【0251】この2順目の1ライン期間中には、記憶回路B604に書き込まれ、保持されているデジタルビデオ信号が定電流回路605に入力される。

【0252】定電流回路605は複数の電流設定回路 (C1~Cx) を有している。電流設定回路 (C1~Cx) のそれぞれにデジタルビデオ信号が入力されると、該デジタルビデオ信号が有する1または0の情報によって、信号線に一定の電流Icが流れるか、または信号線に電源線V1~Vxの電位が与えられるか、いずれか一方が選択される。

【0253】図22に電流設定回路C1の具体的な構成の一例を示す。なお電流設定回路C2~Cxも同じ構成を有する。

【0254】電流設定回路C1は定電流源631と、4つのトランSMISSIONゲートSW1~SW4と、2つのインバーターInb1、Inb2とを有している。なお、定電流源631が有するトランジスタ650の極性は、画素が有するトランジスタTr1及びTr2の極性と同一である。

【0255】記憶回路B604が有するLATB__1から出力されたデジタルビデオ信号によって、SW1~SW4のスイッチングが制御される。なおSW1及びSW3に入力されるデジタルビデオ信号と、SW2及びSW4に入力されるデジタルビデオ信号は、Inb1、Inb2によって反転している。そのためSW1及びSW3がオンのときはSW2及びSW4はオフ、SW1及びSW3がオフのときはSW2及びSW4はオンとなっている。

【0256】SW1及びSW3がオンのとき、定電流源631から0ではない所定の値の電流IcがSW1及びSW3を介して信号線S1に入力される。

【0257】逆にSW2及びSW4がオンのときは、定電流源631からの電流IcはSW2を介してグラウンドに落とされる。またSW4を介して電源線V1~Vxの電源電位が信号線S1に与えられ、Ic≒0となる。

【0258】再び図21を参照して、前記の動作が、1ライン期間内に、定電流回路605が有する全ての電流設定回路 (C1~Cx) において同時に行われる。よって、デジタルビデオ信号により、全ての信号線に入力さ

れる信号電流Icの値が選択される。

【0259】次に、第1走査線駆動回路の構成について説明する。

【0260】図23は第1走査線駆動回路641の構成を示すブロック図である。

【0261】第1走査線駆動回路641は、それぞれシフトレジスタ642、バッファ643を有している。また場合によってはレベルシフタを有していても良い。

【0262】第1走査線駆動回路641において、シフトレジスタ642にクロックCLK及びスタートパルス信号SPが入力されることによって、タイミング信号が生成される。生成されたタイミング信号はバッファ643において緩衝増幅され、対応する走査線に供給される。

【0263】走査線には、1ライン分の画素の第1スイッチング用トランジスタ及び第2スイッチング用トランジスタのゲート電極が接続されている。そして、1ライン分の画素の第1スイッチング用トランジスタ及び第2スイッチング用トランジスタを一斉にONにしなくてはならないので、バッファ643は大きな電流を流すことが可能なものが用いられる。

【0264】本発明において用いられる駆動回路は、本実施例で示した構成に限定されない。さらに、本実施例で示した定電流回路は、図22に示した構成に限定されない。本発明で用いられる定電流回路は、信号電流Icが取りうる2値のいずれか一方をデジタルビデオ信号によって選択し、選択された値を有する信号電流を信号線に流すことができれば、どのような構成を有していても良い。

【0265】また、第2走査線駆動回路も第1走査線駆動回路と同じ構成を有していても良い。

【0266】本実施例の構成は、実施例1~9と自由に組み合わせて実施することが可能である。

【0267】(実施例11) 本実施例では、アナログのビデオ信号で駆動する本発明の発光装置が有する信号線駆動回路の構成について説明する。なお走査線駆動回路の構成は、図23において示した構成を用いることができるので、ここでは説明を省略する。

【0268】図24(A)に本実施例の信号線駆動回路401のブロック図を示す。402はシフトレジスタ、403はバッファ、404はサンプリング回路、405は電流変換回路を示している。

【0269】シフトレジスタ402には、クロック信号 (CLK)、スタートパルス信号 (SP) が入力されている。シフトレジスタ402にクロック信号 (CLK) とスタートパルス信号 (SP) が入力されると、タイミング信号が生成される。

【0270】生成されたタイミング信号は、バッファ403において増幅または緩衝増幅されて、サンプリング回路404に入力される。なお、バッファの代わりにレ

ベルシフタを設けて、タイミング信号を増幅しても良い。また、バッファとレベルシフタを両方設けていても良い。

【0271】図24(B)にサンプリング回路404、電流変換回路405の具体的な構成を示す。なおサンプリング回路404は、端子410においてバッファ403と接続されている。

【0272】サンプリング回路404には、複数のスイッチ411が設けられている。そしてサンプリング回路404には、ビデオ信号線406からアナログビデオ信号が入力されており、スイッチ411はタイミング信号に同期して、該アナログビデオ信号をサンプリングし、後段の電流変換回路405に入力する。なお図24

(B)では、電流変換回路405はサンプリング回路404が有するスイッチ411の1つに接続されている電流変換回路だけを示しているが、各スイッチ411の後段に、図24(B)に示したような電流変換回路405が接続されているものとする。

【0273】なお本実施例では、スイッチ411にトランジスタを1つだけ用いているが、スイッチ411はタイミング信号に同期してアナログビデオ信号をサンプリングできるスイッチであれば良く、本実施例の構成に限定されない。

【0274】サンプリングされたアナログビデオ信号は、電流変換回路405が有する電流出力回路412に入力される。電流出力回路412は、入力されたビデオ信号の電圧に見合った値の電流(信号電流)を出力する。なお図24ではアンプ及びトランジスタを用いて電流出力回路を形成しているが、本発明はこの構成に限定されず、入力された信号の電圧に見合った値の電流を出力することができる回路であれば良い。

【0275】該信号電流は、同じく電流変換回路405が有するリセット回路417に入力される。リセット回路406は、2つのアナログスイッチ413、414と、インバーター416と、電源415を有している。

【0276】アナログスイッチ414にはリセット信号(Res)が入力されており、アナログスイッチ413には、インバーター416によって反転されたリセット信号(Res)が入力されている。そしてアナログスイッチ413とアナログスイッチ414は、反転したリセット信号とリセット信号にそれぞれ同期して動作しており、一方がオンのとき片一方がオフになっている。

【0277】そして、アナログスイッチ413がオンのときに信号電流は対応する信号線に入力される。逆に、アナログスイッチ414がオンのときに電源415の電位が信号線に与えられ、信号線がリセットされる。なお、電源415の電位は、画素に設けられた電源線の電位とほぼ同じ高さであることが望ましく、信号線がリセットされているときに信号線にながれる電流が0に近ければ近いほど良い。

【0278】なお信号線は、帰線期間中にリセットするのが望ましい。しかし、画像を表示している期間以外であるならば、必要に応じて帰線期間以外の期間にリセットすることも可能である。

【0279】なお、本発明の発光装置を駆動する信号線駆動回路及び第1走査線駆動回路は、本実施例で示す構成に限定されない。本実施例の構成は、実施例1～実施例10に示した構成と自由に組み合わせて実施することが可能である。

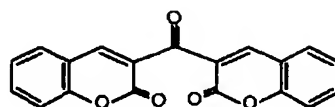
【0280】(実施例12)本発明において、三重項励起子からの燐光を発光に利用できる有機発光材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、OLEDの低消費電力化、長寿命化、および軽量化が可能になる。

【0281】ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

【0282】上記の論文により報告された有機発光材料(クマリン色素)の分子式を以下に示す。

【0283】

【化1】

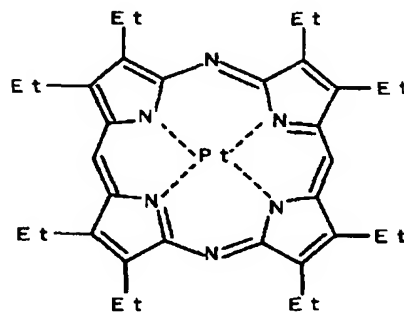


【0284】(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

【0285】上記の論文により報告された有機発光材料(Pt錯体)の分子式を以下に示す。

【0286】

【化2】

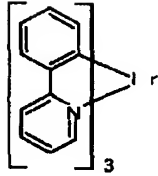


【0287】(M.A.Baldo, S.Lamansky, P.E.Burrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.) (T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.Tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys.,38 (12B) (1999) L1502.)

【0288】上記の論文により報告された有機発光材料(Ir錯体)の分子式を以下に示す。

【0289】

【化3】



【0290】 以上のように三重項励起子からの蛍光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より3～4倍の高い外部発光量子効率の実現が可能となる。

【0291】 なお、本実施例の構成は、実施例1～実施例11のいずれの構成とも自由に組み合わせて実施することが可能である。

【0292】 (実施例13) 本実施例では、本発明の発光装置の封止の様子について、図25を用いて説明する。

【0293】 図25は、トランジスタが形成された素子基板をシーリング材によって封止することによって形成された発光装置の上面図であり、図25(B)は、図25(A)のA-A'における断面図、図25(C)は図25(A)のB-B'における断面図である。

【0294】 基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとを囲むようにして、シール材4009が設けられている。また画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとの上にシーリング材4008が設けられている。よって画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとは、基板4001とシール材4009とシーリング材4008とによって、充填材4210で密封されている。

【0295】 また基板4001上に設けられた画素部4002と、信号線駆動回路4003と、第1及び第2の第1走査線駆動回路4004a、bとは、複数のTFTを有している。図25(B)では代表的に、下地膜4010上に形成された、信号線駆動回路4003に含まれる駆動TFT(但し、ここではnチャネル型TFTとpチャネル型TFTを図示する)4201及び画素部4002に含まれるトランジスタTr2 4202を図示した。

【0296】 本実施例では、駆動TFT4201には公知の方法で作製されたpチャネル型TFTまたはnチャネル型TFTが用いられ、トランジスタTr2 4202には公知の方法で作製されたpチャネル型TFTが用いられる。また、画素部4002には保持容量(図示せず)が設けられる。

【0297】 駆動TFT4201及びトランジスタTr

2 4202上には層間絶縁膜(平坦化膜)4301が形成され、その上にトランジスタTr2 4202のドレインと電氣的に接続する画素電極(陽極)4203が形成される。画素電極4203としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものを用いても良い。

【0298】 そして、画素電極4203の上には絶縁膜4302が形成され、絶縁膜4302は画素電極4203の上に開口部が形成されている。この開口部において、画素電極4203の上には有機発光層4204が形成される。有機発光層4204は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系(モノマー系)材料と高分子系(ポリマー系)材料があるがどちらを用いても良い。

【0299】 有機発光層4204の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機発光層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0300】 有機発光層4204の上には遮光性を有する導電膜(代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜)からなる陰極4205が形成される。また、陰極4205と有機発光層4204の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機発光層4204を窒素または希ガス雰囲気で形成し、酸素や水分に触れさせないまま陰極4205を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式(クラスターツール方式)の成膜装置を用いることで上述のような成膜を可能とする。そして陰極4205は所定の電圧が与えられている。

【0301】 以上のようにして、画素電極(陽極)4203、有機発光層4204及び陰極4205からなるOLED4303が形成される。そしてOLED4303を覆うように、絶縁膜4302上に保護膜4209が形成されている。保護膜4209は、OLED4303に酸素や水分等が入り込むのを防ぐのに効果的である。

【0302】 4005aは電源線に接続された引き回し配線であり、トランジスタTr2 4202のソース領域に電氣的に接続されている。引き回し配線4005aはシール材4009と基板4001との間を通り、異方導電性フィルム4300を介してFPC4006が有するFPC用配線4206に電氣的に接続される。

【0303】 シーリング材4008としては、ガラス材、金属材(代表的にはステンレス材)、セラミックス材、プラスチック材(プラスチックフィルムも含む)を用いることができる。プラスチック材としては、FRP

(Fiberglass-Reinforced Plastics) 板、PVF (ポリビニルフルオライド) フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0304】但し、OLEDからの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0305】また、充填材4210としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC (ポリビニルクロライド)、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB (ポリビニルブチラル) またはEVA (エチレンビニルアセテート) を用いることができる。本実施例では充填材として窒素を用いた。

【0306】また充填材4210を吸湿性物質 (好ましくは酸化バリウム) もしくは酸素を吸着しうる物質にさらしておくために、シーリング材4008の基板4001側の面に凹部4007を設けて吸湿性物質または酸素を吸着しうる物質4207を配置する。そして、吸湿性物質または酸素を吸着しうる物質4207が飛び散らないように、凹部カバー材4208によって吸湿性物質または酸素を吸着しうる物質4207は凹部4007に保持されている。なお凹部カバー材4208は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質4207は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質4207を設けることで、OLED4303の劣化を抑制できる。

【0307】図25 (C) に示すように、画素電極4203が形成されると同時に、引き回し配線4005a上に接するように導電性膜4203aが形成される。

【0308】また、異方導電性フィルム4300は導電性フィラー4300aを有している。基板4001とFPC4006とを熱圧着することで、基板4001上の導電性膜4203aとFPC4006上のFPC用配線4206とが、導電性フィラー4300aによって電気的に接続される。

【0309】本実施例の構成は、実施例1～実施例12に示した構成と自由に組み合わせて実施することが可能である。

【0310】(実施例14) OLEDを用いた発光装置は自発光型であるため、液晶ディスプレイに比べ、明るい場所での視認性に優れ、視野角が広い。従って、様々な電子機器の表示部に用いることができる。

【0311】本発明の発光装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディス

プレイ (ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置 (カーオーディオ、オーディオコンポ等)、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)、記録媒体を備えた画像再生装置 (具体的にはデジタルビデオディスク (DVD) 等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置) などが挙げられる。特に、斜め方向から画面を見る機会が多い携帯情報端末は、視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図26に示す。

【0312】図26 (A) はOLED表示装置であり、筐体2001、支持台2002、表示部2003、スピーカー部2004、ビデオ入力端子2005等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、OLED表示装置は、パソコン用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0313】図26 (B) はデジタルスチルカメラであり、本体2101、表示部2102、受像部2103、操作キー2104、外部接続ポート2105、シャッター2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0314】図26 (C) はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明の発光装置は表示部2203に用いることができる。

【0315】図26 (D) はモバイルコンピュータであり、本体2301、表示部2302、スイッチ2303、操作キー2304、赤外線ポート2305等を含む。本発明の発光装置は表示部2302に用いることができる。

【0316】図26 (E) は記録媒体を備えた携帯型の画像再生装置 (具体的にはDVD再生装置) であり、本体2401、筐体2402、表示部A2403、表示部B2404、記録媒体 (DVD等) 読み込み部2405、操作キー2406、スピーカー部2407等を含む。表示部A2403は主として画像情報を表示し、表示部B2404は主として文字情報を表示するが、本発明の発光装置はこれら表示部A2403、B2404に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0317】図26 (F) はゴーグル型ディスプレイ (ヘッドマウントディスプレイ) であり、本体2501、表示部2502、アーム部2503を含む。本発明の発光装置は表示部2502に用いることができる。

【0318】図26 (G) はビデオカメラであり、本体2601、表示部2602、筐体2603、外部接続ポート2604、リモコン受信部2605、受像部2606、バッテリー2607、音声入力部2608、操作キー2609等を含む。本発明の発光装置は表示部2602に用いることができる。

【0319】ここで図26 (H) は携帯電話であり、本体2701、筐体2702、表示部2703、音声入力部2704、音声出力部2705、操作キー2706、外部接続ポート2707、アンテナ2708等を含む。本発明の発光装置は表示部2703に用いることができる。なお、表示部2703は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。

【0320】なお、将来的に有機発光材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【0321】また、上記電子機器はインターネットやCATV (ケーブルテレビ) などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0322】また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0323】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例1～13に示したいずれの構成の発光装置を用いても良い。

【0324】

【発明の効果】

【0325】上述した構成によって、本発明の発光装置は温度変化に左右されずに一定の輝度を得ることができる。また、カラー表示において、各色毎に異なる有機発光材料を有するOLEDを設けた場合でも、温度によっ

て各色のOLEDの輝度がバラバラに変化して所望の色が得られないということを防ぐことができる。

【図面の簡単な説明】

【図1】 本発明の発光装置の上面ブロック図。

【図2】 本発明の発光装置の画素の回路図。

【図3】 駆動における画素の概略図。

【図4】 アナログ駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図5】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図6】 駆動における画素の概略図。

【図7】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図8】 本発明の発光装置の画素の回路図。

【図9】 本発明の発光装置の画素の回路図。

【図10】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図11】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図12】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図13】 デジタル駆動法における書き込み期間と表示期間の出現するタイミングを示す図。

【図14】 本発明の発光装置の作製方法を示す図。

【図15】 本発明の発光装置の作製方法を示す図。

【図16】 本発明の発光装置の作製方法を示す図。

【図17】 本発明の発光装置の画素の上面図。

【図18】 本発明の発光装置の画素の断面図。

【図19】 本発明の発光装置の画素の上面図。

【図20】 信号線駆動回路のブロック図。

【図21】 デジタル駆動法における信号線駆動回路の詳細図。

【図22】 デジタル駆動法における電流設定回路の回路図。

【図23】 第1走査線駆動回路のブロック図。

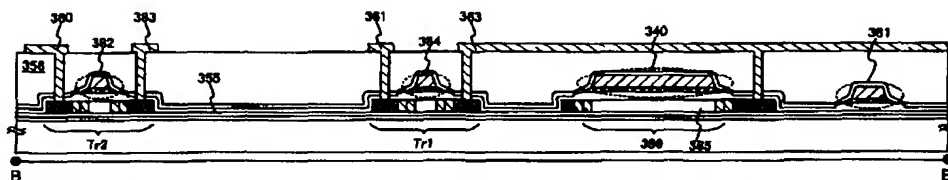
【図24】 デジタル駆動法における信号線駆動回路の詳細図。

【図25】 本発明の発光装置の外観図及び断面図。

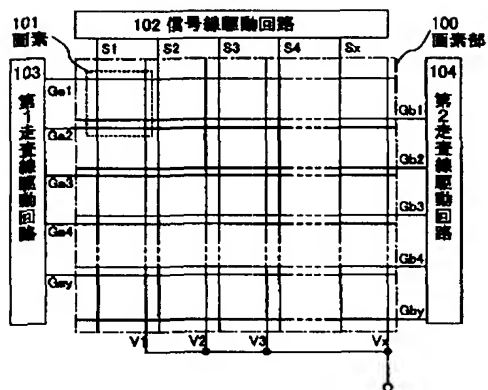
【図26】 本発明の発光装置を用いた電子機器の図。

【図27】 OLEDの電圧電流特性を示す図。

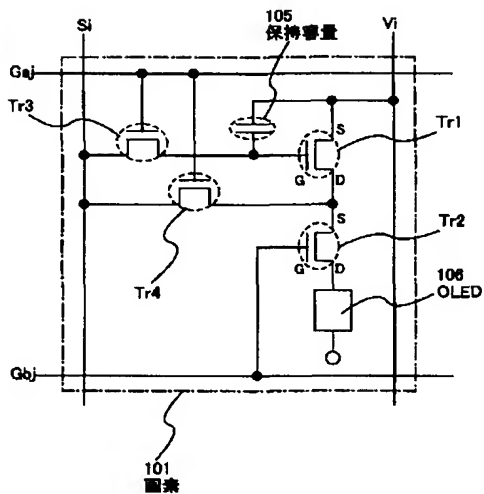
【図18】



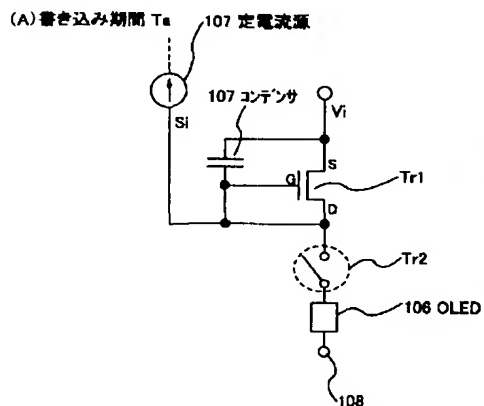
【図 1】



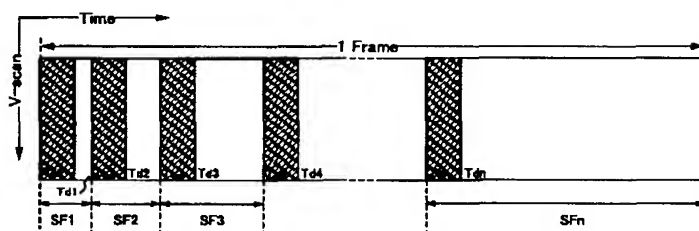
【図 2】



【図 3】



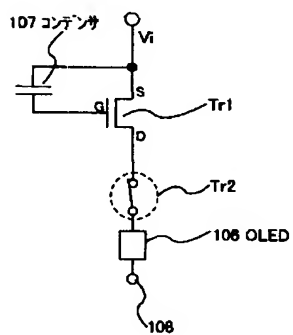
【図 5】



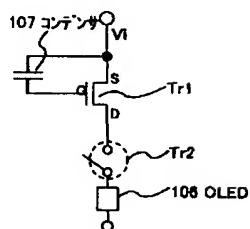
【図 6】

【図 9】

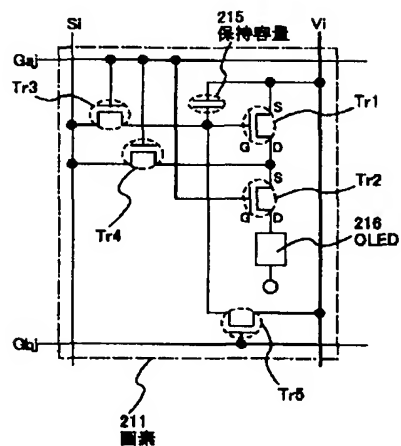
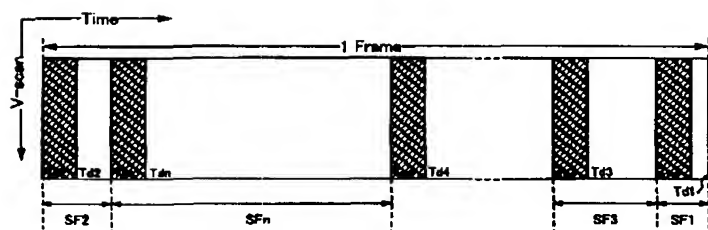
(B) 表示期間 Td



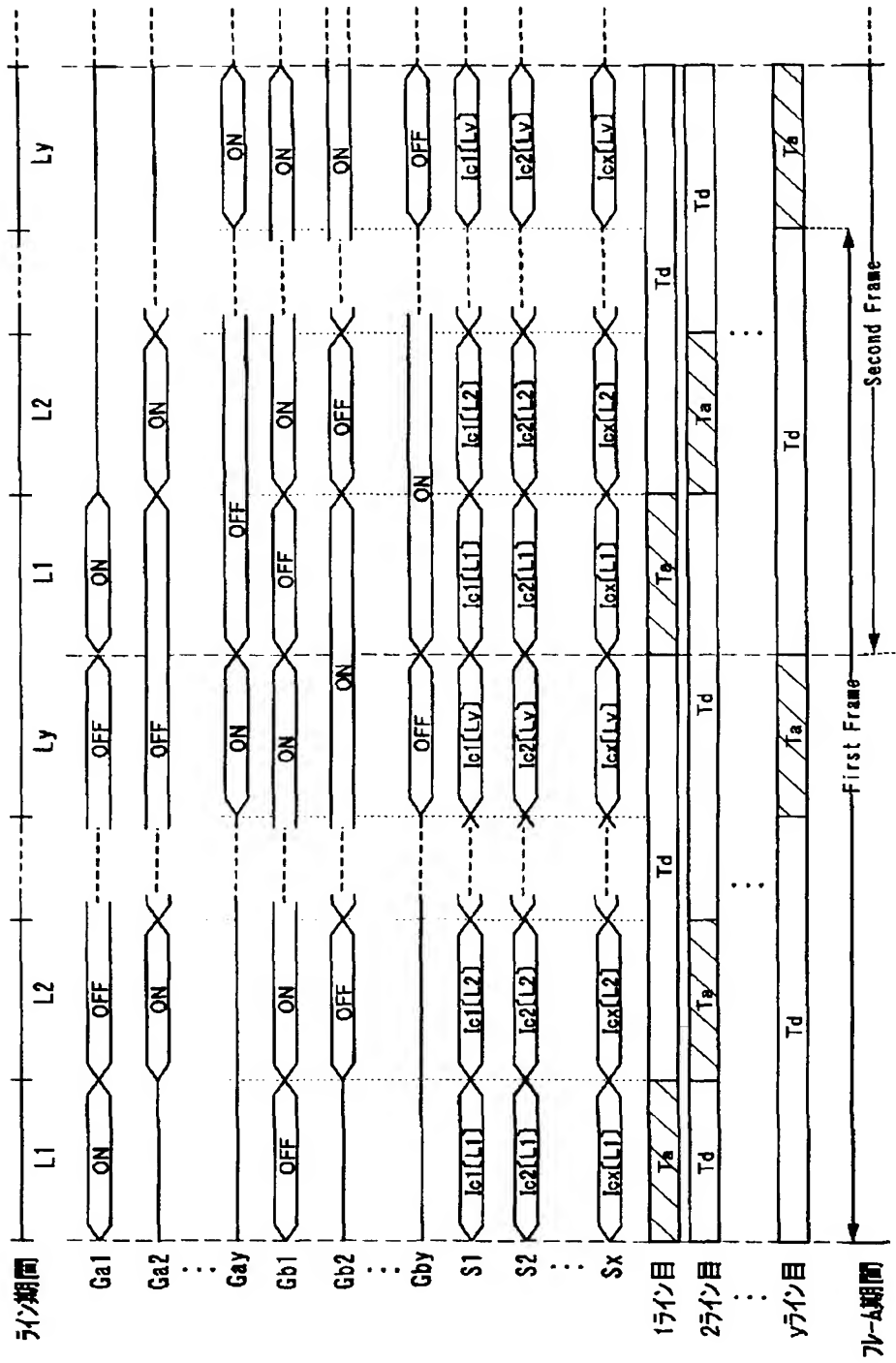
非表示期間 Te (Ge 非選択、Gb 非選択)



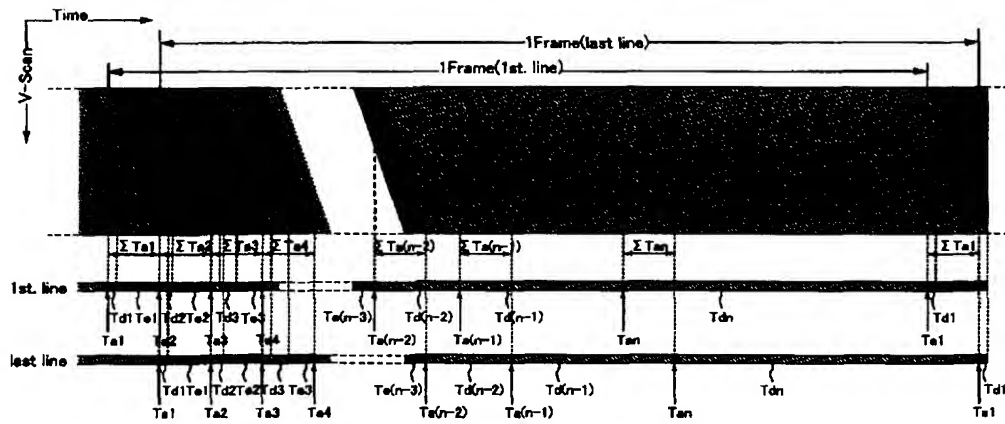
【図 10】



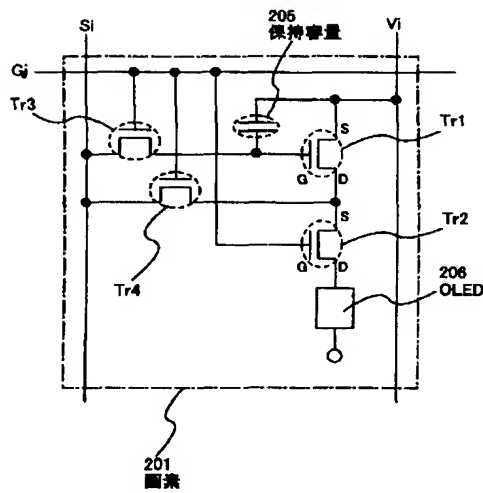
【图 4】



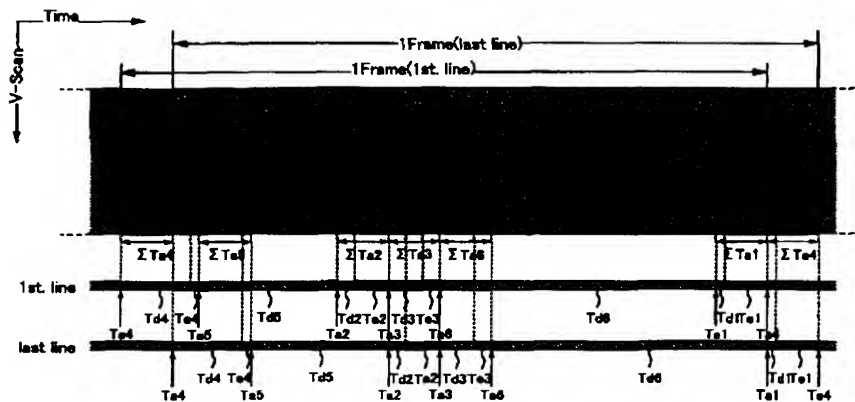
【図7】



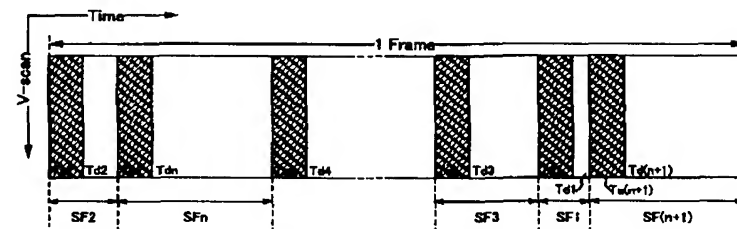
【図8】



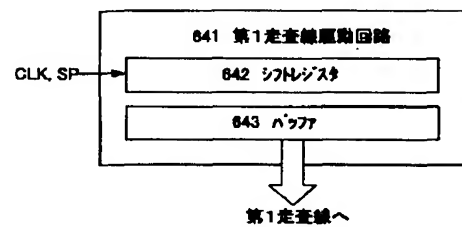
【図12】

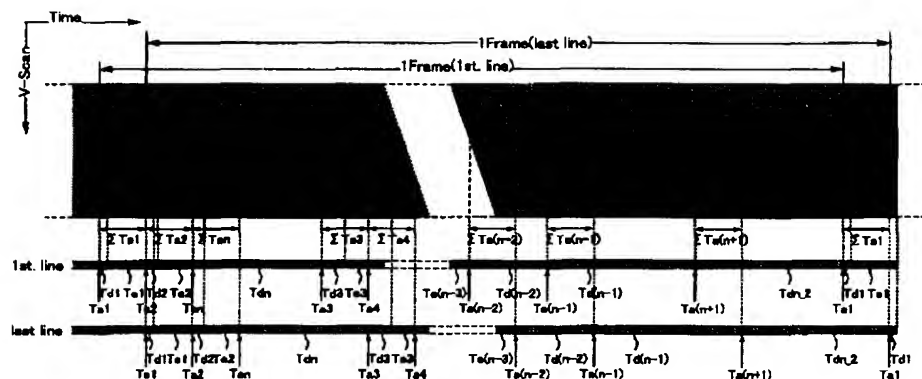


【図11】

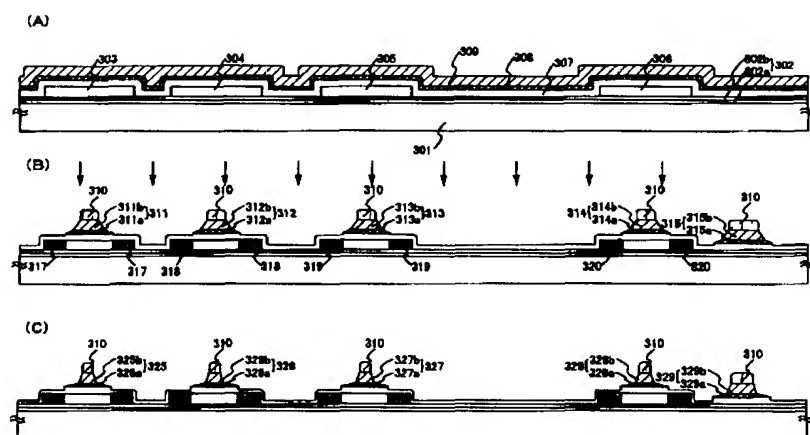


【図23】

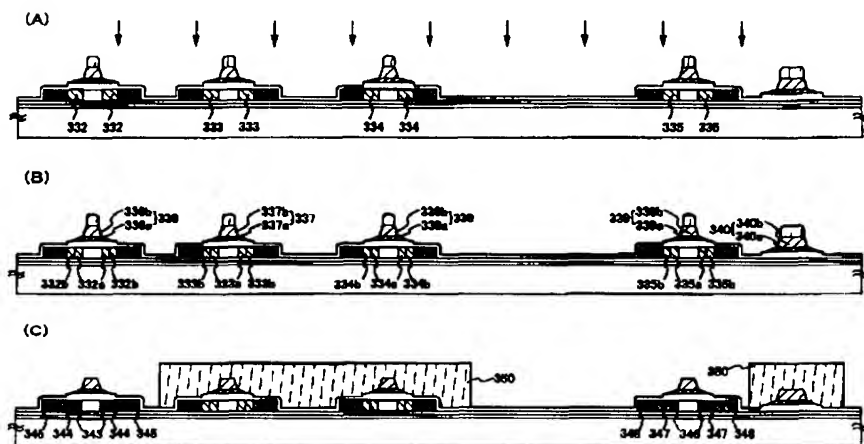




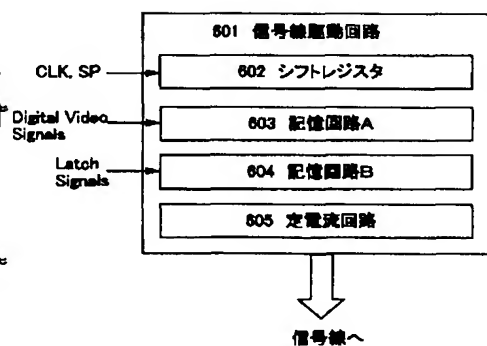
【圖 14】



【図 15】

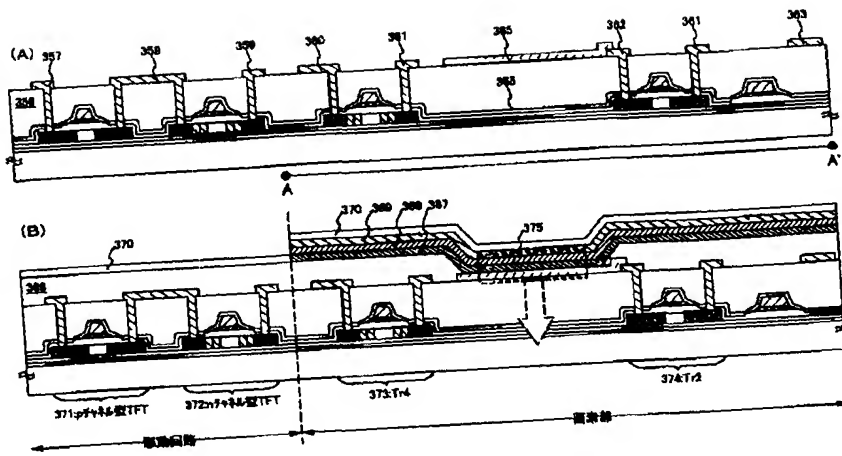


【图 20】

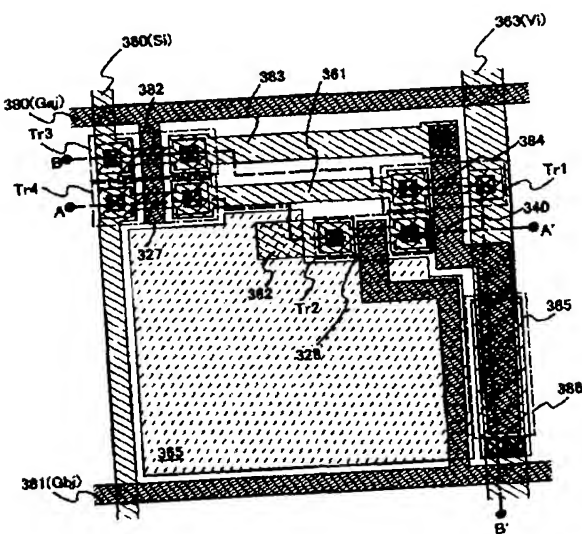


信号線へ

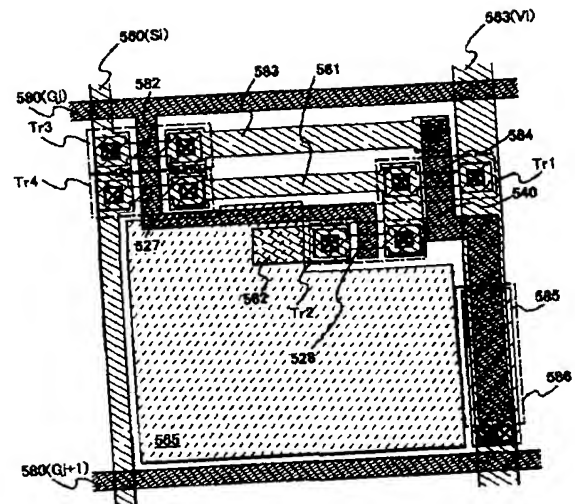
【図16】



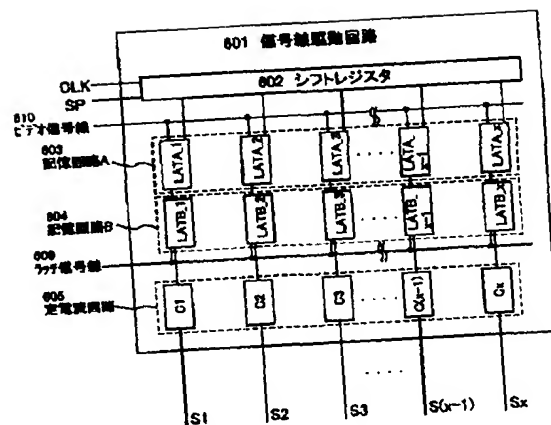
【図17】



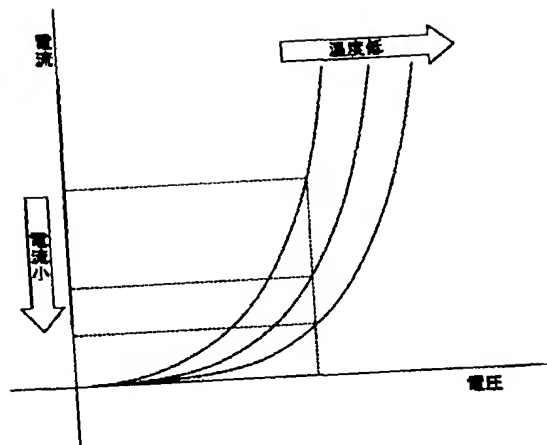
【図19】



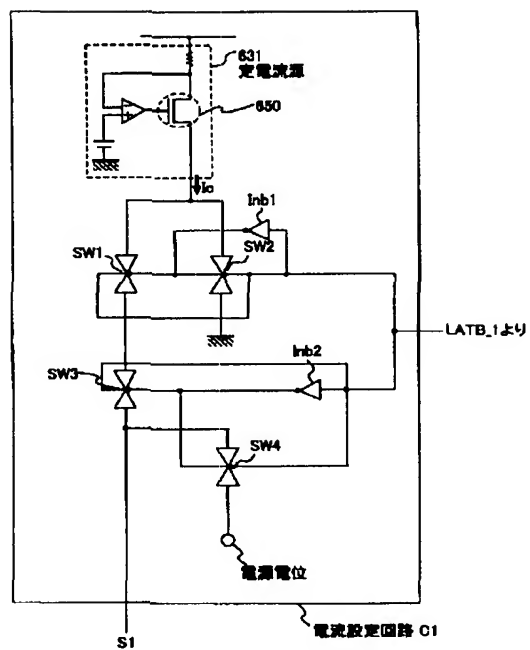
【図21】



【図27】

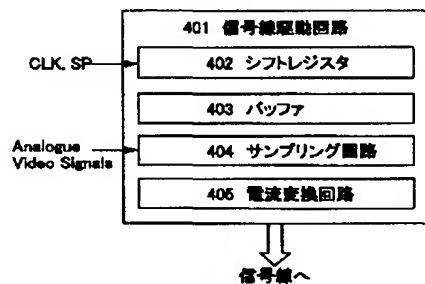


【図 22】

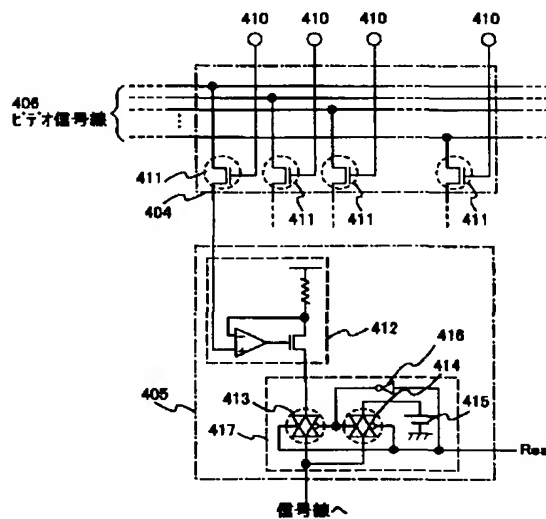


【図 24】

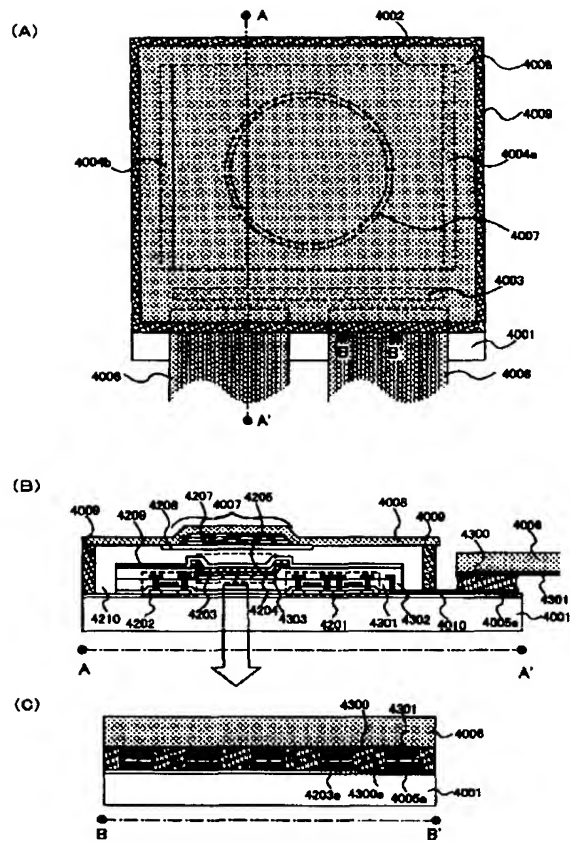
(A)



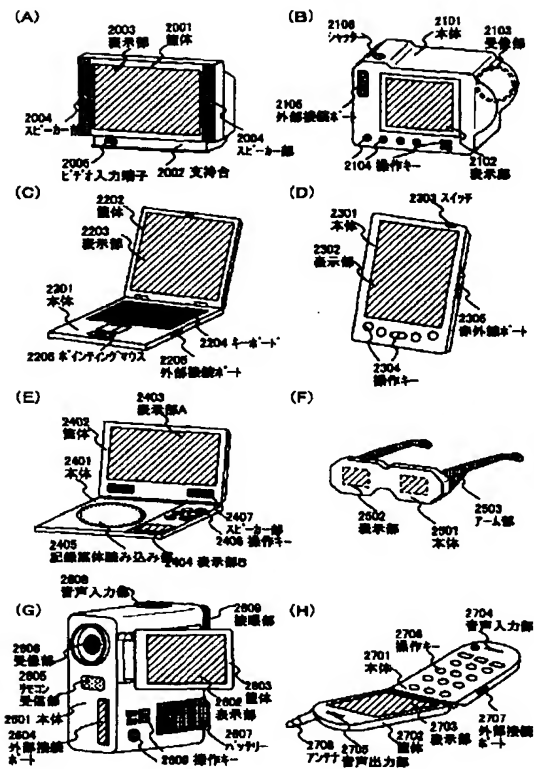
(B)



【図 25】



【図 26】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

テーマコード (参考)

G 0 9 G 3/20

G 0 9 G 3/20

6 4 1 E

6 4 2

6 4 2 C

3/30

3/30

K

H 0 5 B 33/14

H 0 5 B 33/14

A

F ターム (参考) 3K007 AB04 AB11 AB17 BB05 DB03
 EA01 GA04
 5C080 AA06 BB05 CC03 DD03 FF12
 JJ02 JJ03 JJ04 JJ05 JJ06
 KK02 KK07 KK43 KK47
 5C094 AA07 AA08 BA03 BA27 CA19
 CA24 DA09 EA04 EA05 FB01
 FB16 HA08

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-239665

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶

識別記号

F I

G 0 2 F 1/133

5 7 5

G 0 2 F 1/133

5 7 5

G 0 2 B 26/08

G 0 2 B 26/08

E

G 0 3 B 27/72

G 0 3 B 27/72

Z

G 0 9 G 3/20

G 0 9 G 3/20

K

審査請求 未請求 請求項の数10 O L (全 13 頁)

(21) 出願番号

特願平9-42068

(22) 出願日

平成9年(1997) 2月26日

(71) 出願人 000005201

富士写真フイルム株式会社

神奈川県南足柄市中沼210番地

(72) 発明者 木村 宏一

静岡県富士宮市大中里200番地 富士写真

フイルム株式会社内

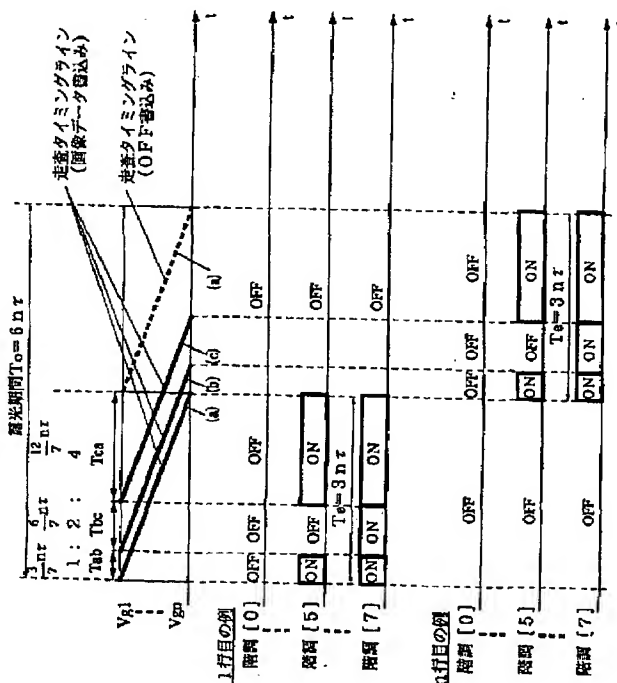
(74) 代理人 弁理士 柳田 征史 (外1名)

(54) 【発明の名称】 2次元マトリクス型空間光変調素子を用いた多階調露光方法

(57) 【要約】

【課題】 駆動信号に応じて光出射、非出射の状態を択一的に取る画素部が行、列を構成して2次元マトリクス状に配置されてなる空間光変調素子を用いた多階調露光方法において、高速での多階調露光を実現する。

【解決手段】 空間光変調素子として、新たな駆動信号が入力されるまで光出射または非出射の状態を維持する画素部を有するものを用い、この空間光変調素子の全ての行を、相異なる複数の時間間隔毎に選択走査し、選択された行における各画素部に、画像データに基づいた駆動信号を入力し、上記相異なる複数の時間間隔毎になされる選択走査を時間的に多重化し、この多重化走査を受けた相異なる複数の行から、時分割によって1つの選択行を決定する。



【特許請求の範囲】

【請求項 1】 駆動信号に応じて光出射、非出射の状態を択一的に取る画素部が行、列を構成して 2 次元マトリクス状に配置されてなる空間光変調素子を露光光の光路に配し、

この空間光変調素子により、その画素部毎に照射時間を制御した露光光を感光材料に照射して該感光材料を多階調露光させる、2 次元マトリクス型空間光変調素子を用いた多階調露光方法において、

前記空間光変調素子として、新たな駆動信号が入力されるまで前記光出射または非出射の状態を維持する画素部を有するものを用い、

この空間光変調素子の全ての行を、相異なる複数の時間間隔毎に選択走査し、

選択された行における各画素部に、画像データに基づいた駆動信号を入力し、

前記相異なる複数の時間間隔毎になされる選択走査を時間的に多重化し、

この多重化走査を受けた相異なる複数の行から、時分割によって 1 つの選択行を決定することを特徴とする 2 次元マトリクス型空間光変調素子を用いた多階調露光方法。

【請求項 2】 前記複数の時間間隔が、2 の等比数列 $1 : 2 : \dots : 2^{(g-1)}$ {g は正の整数}

であることを特徴とする請求項 1 記載の 2 次元マトリクス型空間光変調素子を用いた多階調露光方法。

【請求項 3】 前記行選択の時間を τ 、前記複数の間隔数を g としたとき、基本周期 $g \tau$ で前記行選択を行なうことを特徴とする請求項 1 または 2 記載の 2 次元マトリクス型空間光変調素子を用いた多階調露光方法。

【請求項 4】 前記画素部が、光変調部と、行選択時に各列についての駆動信号を前記光変調部に入力して光変調状態を更新、維持する回路とから構成されていることを特徴とする請求項 1 から 3 いずれか 1 項記載の 2 次元マトリクス型空間光変調素子を用いた多階調露光方法。

【請求項 5】 前記光変調状態を更新、維持する回路が、単結晶半導体を含む素子で構成されたものであることを特徴とする請求項 4 記載の 2 次元マトリクス型空間光変調素子を用いた多階調露光方法。

【請求項 6】 前記光変調状態を更新、維持する回路が、多結晶半導体を含む素子で構成されたものであることを特徴とする請求項 4 記載の 2 次元マトリクス型空間光変調素子を用いた多階調露光方法。

【請求項 7】 前記光変調状態を更新、維持する回路が、非晶質半導体を含む素子で構成されたものであることを特徴とする請求項 4 記載の 2 次元マトリクス型空間光変調素子を用いた多階調露光方法。

【請求項 8】 前記光変調素子が、強誘電性液晶からなる光変調部を有するものであることを特徴とする請求項 1 から 7 いずれか 1 項記載の 2 次元マトリクス型空間光

変調素子を用いた多階調露光方法。

【請求項 9】 前記光変調素子が、駆動信号に応じて振れ角が変化するミラー素子からなる光変調部を有するものであることを特徴とする請求項 1 から 7 いずれか 1 項記載の 2 次元マトリクス型空間光変調素子を用いた多階調露光方法。

【請求項 10】 前記光変調素子が、エレクトロルミネッセンス素子からなることを特徴とする請求項 1 から 7 いずれか 1 項記載の 2 次元マトリクス型空間光変調素子を用いた多階調露光方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多階調画像を感光材料に露光する方法に関し、特に詳細には、液晶素子、ミラー素子や、エレクトロルミネッセンス素子、LED 等の発光素子から構成される 2 次元マトリクス型空間光変調素子を使用して、感光材料を高速で多階調露光できるようにした多階調露光方法に関するものである。

【0002】

【従来の技術】近年、画像データに基づいて変調された光で感光材料、例えば銀塩感材、非銀塩系光反応発色感材、光熱変換発色感材等を露光し、画像を再現するプリンター装置が各種方式で開発されている。このようなプリンター装置に要求される性能の一つに、露光速度の高速化が挙げられている。

【0003】一般的な露光方式としては、レーザ走査露光による方式が知られている。しかし、この方式は点順次露光動作であり、露光時間が長いという欠点がある。より高速露光に適した方法としては、ライン型光変調素子、または 2 次元マトリクス型光変調素子を利用した露光方式が知られている。前者はライン順次露光動作であり、高速露光が可能である。後者は面露光動作であり、さらに高速露光が期待できる。

2 次元マトリクス型光変調素子は、駆動信号に応じて光出射、非出射の状態を択一的に取る画素部が行、列を構成して 2 次元マトリクス状に配置されてなるものである。なお本明細書における 2 次元マトリクス型光変調素子としては、画素部が液晶素子やミラー素子等、別の光源からの光を変調する素子から構成されているものは勿論のこと、該画素部がエレクトロルミネッセンス素子、LED 等の発光素子から構成されているものも含むこととする。

【0004】この種の空間光変調素子の一つに、新たな駆動信号が入力されるまで上記光出射または非出射の状態を維持する画素部を備えてなるものが知られている。このタイプの空間光変調素子は、高品位なディスプレイ素子として開発、商品化されている。特にアクティブマトリクス型液晶素子のディスプレイ素子は、その代表的なものである。

【0005】ところで、この種の空間光変調素子におい

ては、面露光処理において集光率を高めるため、素子の面積が極力小さいことが望まれる。さらに高品位な画像を得るためには、素子の画素数を多くする必要がある。しかし、素子の面積を小さくし、また画素数を増やすと、当然1画素の面積が小さくなるので、素子の高精細化が要求される。

【0006】このような背景から、前述のアクティブマトリクス型液晶素子のなかでも、その基板、および画素回路（主にMOS-FET）と周辺駆動回路（主に行選択駆動回路と、列における画像信号駆動回路）が単結晶半導体で一体型に構成され、画素回路上部に反射電極を設けて液晶に電圧を供給する構成の反射型アクティブマトリクス型液晶素子が特に高集積化、高開口率化の点から好ましい。

【0007】一方、アクティブマトリクス型液晶素子のなかでも、液晶材料として強誘電性液晶を用いたものは、その高速応答性（応答時間は液晶素材と液晶に印加する電圧、および温度などに依るが、数 μ s～100 μ s程度である）から、プリンター装置用の露光素子として非常に期待されている。

【0008】しかし、強誘電性液晶は一般的に2値の安定状態しかとることができず、また反強誘電性液晶は一般的に3値の安定状態しかとることができない。そこで、それらからなる液晶素子を、プリンター装置用の露光素子として用いた場合、1回のデータ書き込みによる露光では低階調の画像しか得られない。したがって、階調数が256程度必要な画像、例えばフルカラー画像等の再現には、複数回のデータ書き込みと露光が必要となる。

【0009】ここで、強誘電性液晶を光変調部に用いた2次元マトリクス型光変調素子による多階調露光について詳しく説明する。

【0010】2次元マトリクス型光変調素子の構造
図1は、この種の空間光変調素子の画素部の断面図である。ここに示されている通り、単結晶のp-型シリコン半導体基板10上には、n-MOS-FET11と電荷蓄積容量Cstg12が形成されている。n-MOS-FET11はn+型のドレイン領域13、ソース領域14、ゲート酸化膜15、およびpoly-Si膜よりなるゲート電極16から構成される。また、電荷蓄積容量Cstg12は、p+領域17、酸化膜18、およびpoly-Si膜19で構成されている。

【0011】また、第1層間絶縁膜20を介して第1層A1配線21が形成され、これにより、ソース領域14に接続されたソース電極22が形成されている。このソース電極22により、ソース領域14と電荷蓄積容量Cstg12のpoly-Si膜19とが接続されている。なおドレイン領域13には、ドレイン電極23が接続されている。さらに第2層間絶縁膜24を介して画素電極（第2層A1）25が形成され、ソース電極22と接続されている。

【0012】画素電極25上には配向膜26が形成されてい

る。一方、対向透明基板27の片側にはITOからなる対向透明共通電極28が形成され、さらにその上に配向膜29が形成されている。上記2つの基板10、27は、各々と一体化している配向膜26、29が対向するように配置され、その間隙に強誘電性液晶30が保持されている。

【0013】図2は、図1の空間光変調素子の画素部の等価回路である。図示の通り、n-MOS-FET11のソース電極22と電荷蓄積容量Cstg12の一方、および画素電極25が接続されている。電荷蓄積容量Cstg12の他方は素子の電源グランド電位Vssに接続されている。また画素電極25と、配向膜26、29、強誘電性液晶30および対向透明共通電極28により容量C1cが形成されている。

【0014】ここで、電源グランド電位Vssを基準に、n-MOS-FET11のゲート電極電圧をVg、ドレイン電極電圧をVd、ソース電極電圧をVs、対向透明共通電極電圧をVcomとする。また、Vcomを基準に画素電極電圧を液晶層電圧V1cとする。

【0015】空間光変調素子の基本動作

図3は、空間光変調素子の基本動作を説明するための、概略の光変調光学系を示すものである。空間光変調素子1の対向透明基板側に偏光ビームスプリッター(PBS)2を配置する。光源3からの光はPBS2によりS偏光波が反射され、空間光変調素子1の対向透明基板27に入射する。入射した光は液晶30の層を介して画素電極25により反射され、再度液晶層を通過してPBS2に入射する。このとき、反射光のP偏光波成分のみがPBS2を透過し、その光が出力光となる。

【0016】また図4は、同じく空間光変調素子の基本動作を説明するための、液晶層電圧V1cと液晶配向位置の関係を示している。液晶には双安定性配向を示す強誘電性液晶を使用するものとする。液晶層電圧V1cが-V1csのとき液晶配向方向が入射偏光軸と一致し、液晶層電圧V1cがV1csのとき液晶配向方向が入射偏光軸から45度の位置になるように、配向処理を行なう。また、液晶配向方向が入射偏光軸から45度の位置のとき所望の出力光が得られるように、液晶素材、液晶層厚を適宜調整する。

【0017】こうすることにより、出力光は液晶層電圧V1cが-V1csのときOFFとなり、V1csのときONとなる。

【0018】次に図5は、図1～4で説明した構成における画素部の各電圧と出力光の波形とを示している。まず、n-MOS-FET11が導通状態となるようにゲート電極電圧Vgを十分高いVgsにする。同時にドレイン電極電圧VdをVd(on)にすると、画素電圧Vsは略Vd(on)となる。その後にn-MOS-FET11が非導通状態となるようにゲート電極電圧Vgを十分低いVgoffにしても、画素電圧Vsは電荷蓄積容量Cstg12と液晶層容量C1cにより略Vd(on)を保持する。したがってこの期間（図5の(a)）の液晶層電圧V1cは、 $V1c = (Vd$

(on) - V_{com}) となる。

【0019】一方、 n -MOS-FET11が導通状態となるようにゲート電極電圧 V_g を十分に高くし、同時にドレイン電極電圧 V_d を $V_d(off)$ にすると、画素電圧 V_s は略 $V_d(off)$ となる。その後に n -MOS-FET11が非導通状態となるようにゲート電極電圧 V_g を十分低くしても、画素電圧 V_s は電荷蓄積容量 C_{stg} と液晶層容量 C_{lc} により略 $V_d(off)$ を保持する。したがってこの期間(図4の(b))における液晶層電圧 V_{lc} は略 $V_{lc} = (V_d(off) - V_{com})$ となる。

【0020】ここで対向共通電極電圧 V_{com} を

$$V_{com} = (V_d(on) + V_d(off)) / 2$$

となるように印加すると、(a)期間、(b)期間の各々の液晶層電圧 V_{lc} は、

$$(a) \text{ 期間: } V_{lc} = (V_d(on) - V_d(off)) / 2$$

$$(b) \text{ 期間: } V_{lc} = -(V_d(on) - V_d(off)) / 2$$

となる。このとき、(a)期間、(b)期間の液晶層電圧 V_{lc} が各々 V_{lcs} 以上、 $-V_{lcs}$ 以下になるように $V_d(on)$ 、 $V_d(off)$ を決定すると、出力光は各々ON、OFFと変調できることになる。

【0021】なお、実際には n -MOS-FET11の寄生容量等の原因により、液晶層電圧 V_{lc} は(a)期間と

(b)期間とで非対称となる場合があるが、本発明には特に影響ないので、 V_{lc} は上記式に従うものとする。

【0022】ここで、図5の T_r は強誘電性液晶の光学的な応答時間であり、これは一般的に液晶素材、液晶層電圧 V_{lc} 、温度等に依存するが、実用的には数 $\mu s \sim 100 \mu s$ 程度が得られる。画素にデータを書き込む時間は、液晶層電圧 V_{lc} を液晶の動作電圧 V_{lcs} (または $-V_{lcs}$)にするのに必要な電気的な応答時間と、上記液晶の光学的な応答時間に依存する。高速にデータを書き込むためには、これらの両者の時間を短くする必要があるが、特に液晶の光学的な応答時間は実用的に限界がある。

【0023】空間光変調素子の2次元マトリクス駆動方法

図6は、2次元マトリクス空間光変調素子の等価回路である。この例は、 m 列 $\times n$ 行の画素を有する空間光変調素子であり、 m 列 $\times n$ 行の画素回路と、画素回路に信号を与える行選択駆動回路と、画像信号駆動回路とにより構成されている。画像データは画像信号駆動回路へ転送され、また、制御信号と各駆動回路により後述するシーケンスが満たされる。ここで、同じ行の画素のゲート電極が共に接続され、行選択駆動回路の出力である行選択信号 $[V_{g1}, V_{g2}, \dots, V_{gn}]$ によって各々制御される。また、同じ列の画素のドレイン電極が共に接続され、画像信号駆動回路の出力である画像信号 $[V_{d1}, V_{d2}, \dots, V_{dm}]$ によって各々データが供給される。

【0024】なお、図6の等価回路で示される m 列 $\times n$ 行の画素回路、および行選択駆動回路と画像信号駆動回

路は、同一のシリコン基板に形成されている。

【0025】図7は、図6の回路における2次元マトリクス空間光変調素子の駆動方法を示すタイミング図である。以下、1画面分の画像信号の書き込みシーケンスを説明する。

【0026】a) 1行目の画素に書き込む画像信号を、画像信号駆動回路の出力 $[V_{d1}, V_{d2}, \dots, V_{dm}]$ から供給する。次に1行目の行選択信号である V_{g1} のみを、MOS-FETが導通となる V_{gon} にし、他の行選択信号を非導通となる V_{goff} にする。この時1行目の画素電極に各々の画像信号電圧が印加される。その後 V_{g1} をMOS-FETが非導通となる V_{goff} にしても、画素電極の電圧は殆ど変化せずに保持される。出力光はこの画素電圧に従って、図5のように応答する。このようにして1行目の画素の画像信号書き込みが行われる。この1行分の書き込み時間を τ とする。

【0027】b) 2行目以降も同様のシーケンスで画像信号の書き込みを行ない、 n 行目の画像信号の書き込みが終了すると、1画面分の画像信号の書き込みが終了する。したがって、1画面分(n 行)の画像信号の書き込み時間 T_f は、 $n \times \tau$ となる。

【0028】露光システムの説明

図8は、上述の反射型2次元マトリクス空間光変調素子を使用した感光材料の露光システムを示している。

【0029】まず、光源3からの光は集光レンズ4で集光され、PBS2に入射する。この光のうちS偏光波がPBS2で反射されて、2次元マトリクス空間光変調素子1の対向透明基板側に入射する。入射した光は液晶層を介して画素電極で反射され、再度液晶層を通過してPBS2に入射する。このとき、反射光のP偏光波のみが出力光としてPBS2を透過し、投影レンズ6によって感光材料7上で結像する。感光材料7に結像する2次元の光量分布は、画像信号発生装置8によって2次元マトリクス空間光変調素子1に書き込まれた画像信号に従う。すなわち前述の図5のように、画素電圧に $V_d(on)$ を書き込むとその部分の感光材料7の光量がONとなり、画素電圧に $V_d(off)$ を書き込むとその部分の感光材料7の光量はOFFとなる。

【0030】図9は、感光材料7に対する露光のシーケンスである。まず、集光レンズ4の後に配置された光学シャッター5を閉じておく。その間に感光材料7を投影レンズ6の結像面に搬送し固定する。同時に画像信号発生装置8により、2次元マトリクス空間光変調素子1の全画素に $V_d(off)$ の信号を書き込む。その後に光学シャッター5を開く。このとき出力光は全面OFFである。

【0031】この状態で画像信号発生装置8により2次元マトリクス空間光変調素子1へ1行目から順番に画像データ信号($V_d(on)$ または $V_d(off)$)を書き込む。出力光は画像信号に従って順次出力され、感光材料7を

露光する。1行目から最終の n 行目までの書き込み時間は $n\tau$ である。最終の n 行目に画像信号を書き込んだ後、再び1行目から出力光をOFFにするために $V_d(\text{off})$ の信号を書き込む。最終の n 行目に $V_d(\text{off})$ の信号を書き込むと、感光材料7への露光期間は終了する。この後に光学シャッター5が閉じられ、次の感光材料7の搬送・固定が行なわれる。

【0032】上記の露光シーケンスによると、感光材料7への露光時間 T_e は、各画素へ書き込まれた画像信号がONのとき $n\tau$ であり、OFFのときゼロである。また、この露光に必要な時間 T_o は $2n\tau$ である。

【0033】すなわち、1行の書き込み時間を τ とすると、 n 行、2階調の画像の露光を行なうのに必要な時間 T_o は $2n\tau$ であり、この時の感光材料7への露光時間 T_e は $n\tau$ となる。ここで、露光期間 T_o はシャッター開閉時の安定時間も加わるが、この時間は $n\tau$ に比べて非常に小さいので無視することにする。

【0034】多階調露光の説明

図10は、多階調露光を説明するための行選択信号のタイミングと走査タイミングラインの説明図である。横軸は時間軸であり、縦軸は行選択信号（上から順に V_{g1} 、 V_{g2} 、……、 V_{gn} ）を示している。この図において実線ラインは走査タイミングライン（画像データ書き込み）を示し、行選択信号によって選択される画像データ書き込み行のタイミングを記号化したものである。また、破線ラインは走査タイミングライン（OFF書き込み）を示し、行選択信号によって選択されるOFF書き込み行のタイミングを記号化したものである。

【0035】前述のような2値の光変調素子を使用して多階調露光を実現する方法として、露光時間を変えることによる多階調露光が知られている。図11は、その代表的な多階調露光方法による書き込み走査のタイミングチャートである。この図では8階調の露光タイミングを示している。1行目から最終の n 行目まで行順次に画像データを書き込む走査を7回連続で繰り返す。最後の8回目の走査では、OFFを書き込む。

【0036】1回の走査時間は $n\tau$ であるので、一連のシーケンスによる露光期間 T_o は $8n\tau$ となる。図12には、図11の多階調露光方法による出力光の例を示す。なおこの図では、1行目の例を示している。

【0037】階調[0]の例では、1回目から7回目までの走査で全てOFFを書き込む。この結果、出力光は全てOFFとなり、感光材料への露光時間はゼロとなる。階調[5]の例では、1回目から5回目までの走査で全てONを書き込み、6回目と7回目の走査ではOFFを書き込む。この結果、出力光の感光材料への露光時間は $5n\tau$ となる。階調[7]の例では、1回目から7回目までの走査で全てONを書き込む。この結果、出力光の感光材料への露光時間は $7n\tau$ となる。このように階調レベルと感光材料への露光時間が比例し、多階調露

光を行なうことができる。

【0038】

【発明が解決しようとする課題】しかし、このような多階調露光方式においては、階調数が増えるのに従って露光期間 T_o も極端に長くなるという問題がある。すなわち、階調数を 2^g （ $g=1, 2, 3, \dots$ ）とすると、露光期間 T_o は、

$$T_o = 2^g n\tau \quad [\text{sec}] \quad \dots (1)$$

となり、階調数の増大に応じて露光期間 T_o は著しく長くなる。このような多階調露光方式は、高速露光を必要とするシステムには不向きである。

【0039】本発明は上記の事情に鑑みてなされたものであり、感光材料を高速で多階調露光できる、2次元マトリクス型空間光変調素子を用いた多階調露光方法を提供することを目的とするものである。

【0040】

【課題を解決するための手段】本発明による2次元マトリクス型空間光変調素子を用いた多階調露光方法は、駆動信号に応じて光出射、非出射の状態を択一的に取る画素部が行、列を構成して2次元マトリクス状に配置されてなる空間光変調素子を露光光の光路に配し、この空間光変調素子により、その画素部毎に照射時間を制御した露光光を感光材料に照射して該感光材料を多階調露光させる、2次元マトリクス型空間光変調素子を用いた多階調露光方法において、空間光変調素子として、新たな駆動信号が入力されるまで光出射または非出射の状態を維持する画素部を有するものを用い、この空間光変調素子の全ての行を、相異なる複数の時間間隔毎に選択走査し、選択された行における各画素部に、画像データに基づいた駆動信号を入力し、上記相異なる複数の時間間隔毎になされる選択走査を時間的に多重化し、この多重化走査を受けた相異なる複数の行から、時分割によって1つの選択行を決定するようにしたことを特徴とするものである。

【0041】なお上記複数の時間間隔は、2の等比数列 $1:2:\dots:2^{(g-1)}$ （ g は正の整数）であることが望ましい。

【0042】また、上記行選択の時間を τ 、上記複数の間隔数を g としたとき、行選択の基本周期は $g\tau$ とするのが望ましい。

【0043】一方2次元マトリクス型空間光変調素子としては、画素部が、光変調部と、行選択時に各列についての駆動信号を上記光変調部に入力して光変調状態を更新、維持する回路とから構成されているものを用いるのが望ましい。

【0044】そのようにする場合、光変調状態を更新、維持する回路としては、単結晶半導体を含む素子で構成されたものや、多結晶半導体を含む素子で構成されたものや、非晶質半導体を含む素子で構成されたものを好適に用いることができる。

【0045】また光変調素子としては、強誘電性液晶からなる光変調部を有するものや、駆動信号に応じて振れ角が変化するミラー素子からなる光変調部を有するものや、さらには、エレクトロルミネッセンス素子からなるものを好適に用いることができる。

【0046】

【発明の効果】本発明方法においては、空間光変調素子の全ての行を相異なる複数の時間間隔毎に選択走査するようにしたので、複数の選択走査の間隔を組み合わせることにより、走査回数が少なくても階調数を飛躍的に増やすことができる。さらに複数の選択走査は時間的に多重化され、これらを時分割による行選択によって画像データの書き込みを行なうので、全体の露光期間を大幅に短縮することができる。

【0047】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図13は、本発明の一つの実施形態による多階調露光方法における書き込み走査のタイミングチャートである。なおこの図では、8階調の露光タイミングを示している。

【0048】ここで、空間光変調素子としては例えば図1に示したようなもの、その駆動回路としては図6に示したようなもの、露光システムとしては図8に示したようなものをそれぞれ利用することができる。

【0049】図13において、実線の斜め線(a)、(b)、(c)は画像データを書き込む走査タイミングラインであり、破線の斜め線(a)はOFFを書き込む走査タイミングラインである。各走査タイミングラインは1行目から順に1行毎に走査されるが、走査の開始は画像データ書き込み(a)→画像データ書き込み(b)→画像データ書き込み(c)→OFF書き込み(a)の順番で行なわれる。

【0050】ここで、実線の走査タイミングライン(a)と実線の走査タイミングライン(b)の時間間隔を T_{ab} 、実線の走査タイミングライン(b)と実線の走査タイミングライン(c)の時間間隔を T_{bc} 、実線の走査タイミングライン(c)と破線の走査タイミングライン(a)の時間間隔を T_{ca} とすると、それらの比を $T_{ab} : T_{bc} : T_{ca} = 1 : 2 : 4$ に設定する。具体的には $T_{ab} : T_{bc} : T_{ca} = (3/7) n \tau : (6/7) n \tau : (12/7) n \tau$ に設定する。このようにすると、どの行も3回の画像データ書き込み走査で、8階調(2^3 階調)の露光を行なうことができる。

【0051】なお、本来、同時に複数行の書き込み走査(行選択)を行なうことはできない。したがって実際には、走査タイミングライン(a)、(b)、(c)に従って行なわれる行選択信号のタイミングは、期間(A)、(B)、(C)に各々割り当てられ、これにより走査タイミングラインの重複するところは期間(A)、(B)、(C)で時分割に行選択が行なわれる。

【0052】また図14および15は、図13中の時刻

t_1 と時刻 t_2 における、行選択信号タイミングと走査タイミングラインとの関係を示している。図14の露光開始直後の時刻 t_1 では、走査タイミングライン(a)に従って1行目から順に書き込み走査が行なわれる。ただし、行選択信号のタイミングは期間(A)のみで行なわれ、そこで、走査タイミングライン(a)に従って行なわれる行選択の周期は 3τ になる。期間(B)、(C)ではどの行も走査されない。

【0053】また、図15の時刻 t_2 では、走査タイミングライン(a)、(b)、(c)が重複しているが、実際の行選択信号のタイミングは、走査タイミングライン(a)では期間(A)で行選択が行なわれ、走査タイミングライン(b)では期間(B)で行選択が行なわれ、走査タイミングライン(c)では期間(C)で行選択が行なわれる。各走査タイミングラインに従って行なわれる行選択の周期は 3τ になる。

【0054】次に図16は、図13に示した多階調露光方法による出力光の例である。この場合、 $T_{ab} : T_{bc} : T_{ca} = (3/7) n \tau : (6/7) n \tau : (12/7) n \tau (= 1 : 2 : 4)$ であるので、 $2^3 = 8$ 階調の露光を行なうことができる。

【0055】まず、1行目の例について説明する。階調[0]のときは、画像データ書き込み走査タイミングライン(a)、(b)、(c)による書き込みデータを、全てOFFにする。この結果出力光は全てOFFとなり、感光材料への露光時間はゼロとなる。階調[5]のときは、画像データ書き込み走査タイミングライン(a)、(b)、(c)による書き込みデータを各々ON、OFF、ONにする。この結果出力光は $T_{ab} + T_{ca}$ の時間ONとなり、感光材料への露光時間は $(15/7) n \tau$ となる。階調[7]のときは、画像データ書き込み走査タイミングライン(a)、(b)、(c)による書き込みデータを全てONにする。この結果出力光は $T_{ab} + T_{ba} + T_{ca}$ の時間ONとなり、感光材料への露光時間は $3 n \tau$ となる。

【0056】このようにして、階調レベルと感光材料への露光時間が比例した多階調露光を行なうことができる。また n 行目についても、1行目と同様にして、階調レベルと感光材料への露光時間が比例した多階調露光を行なうことができる。

【0057】以上の通り本発明によると、8階調の露光期間 T_0 は $6 n \tau$ となり、前述した従来方法の露光期間 $8 n \tau$ より高速に露光できる。

【0058】ここで本発明の多階調露光方法によると、階調数が多いほど、従来方法と比べて高速露光の効果が顕著になる。以下、この点について詳しく説明する。今、階調数を 2^g とする。このとき本発明によれば、画像データ書き込み走査タイミングラインは g 本となり、各走査タイミングラインの間隔比は $1 : 2 : 4 : \dots : 2^{(g-1)}$ { g は正の整数}となる。また各走査タイミングラインに従って行なわれる行選択の周期は $g \tau$ に

なる。よって、階調数 2^g のときの露光期間 T_0 は、下式の通りとなる。

$$【0059】 T_0 = 2 g n \tau \quad [\text{sec}] \quad \cdots \cdots (2)$$

以下、本発明と従来方法による露光期間 T_0 の比較を具
[条件] $\tau = 20 \mu\text{s}$

行数n	2040	2044	2046	2047	4095
露光階調数 2^g	$2^8=256$	$2^9=512$	$2^{10}=1024$	$2^{11}=2048$	$2^{12}=4096$
従来方法による 露光期間 T_0 [sec]	10.44	20.93	41.90	83.85	335.46
本発明による 露光期間 T_0 [sec]	0.65	0.74	0.82	0.90	1.97

【0061】この表1中の数値は、各々式(1)、

(2)から計算して求めたものである。条件の数値は、特に高精細静止画像(1辺の画素数2000以上、画像階調数256程度)の2次元露光を対象とした。また、露光階調数は階調カーブの補正などを考慮すると画像の階調数よりも多くする必要があり、256~4096とした。また、1行の書き込み時間 τ は20 μs とした。

【0062】表1の結果から明かなように、本発明による場合の露光速度は従来と比べ、256階調では16倍、4096階調では約170倍となり、階調数の増加にともなって顕著な効果があることが分かる。

【0063】なお、上記の実施形態では、階調数を 2^g (g は正の整数)としたが、これ以外の階調数でも本発明は有効に作用する。今、階調数を h とした場合、画像データ書き込み走査タイミングラインを g 本(g は $2^g \geq h$ を満たす最小の整数)とする。露光期間 T_0 は式(2)により計算される。

【0064】図17は、本発明による露光期間と階調数の関係を示したものであるが、どの階調数であっても、従来方法による露光期間よりは非常に短縮されている。なお図17で明かなように、本発明においては階調数が 2^g (g は正の整数)のときがより効果的である。

【0065】また本発明において、各走査タイミングラインの間隔($T_{ab}:T_{bc}:\cdots$)は、厳密に2の等比数列($1:2:\cdots:2^{(g-1)}$)に設定することが望ましく、具体的には

$$(T_{ab}:T_{bc}:\cdots)$$

$$= (1:2:\cdots:2^{(g-1)}) g n \tau / (2^g - 1)$$

であることが望ましい。また、($T_{ab}:T_{bc}:\cdots$)は、複数(g 本)の走査タイミングラインで時分割により行選択を行なう基本周期 $g\tau$ の整数倍である必要性があり、したがって

$$n = k (2^g - 1) \quad \{k \text{ は正の整数}\}$$

であることが望ましい。しかし、実際には $n = k (2^g - 1)$ (k は正の整数)でない行数 n が存在する。この場合の解決手段の一つとしては、実際の素子の行数を n' としたとき、

$$n = k (2^g - 1) \quad \{k \text{ は正の整数}\} \geq n'$$

体的に行なう。表1は、従来方法と本発明による露光期間 T_0 の比較例を示している。

【0060】

【表1】

となる最小の n の値を仮想の行数として各走査タイミングラインの間隔($T_{ab}:T_{bc}:\cdots$)を

$$(T_{ab}:T_{bc}:\cdots)$$

$$= (1:2:\cdots:2^{(g-1)}) g n \tau / (2^g - 1)$$

に設定する。このようにすると、実際の素子の行数 n' 以外に($n - n'$)行余ることになるが、この余った行はダミー行として走査すればよい。

【0066】一例として、 $n' = 2000$ 、 $2^g = 2048$ ($g = 11$)とした場合、仮想行 n を

$$n = k (2^g - 1) \quad \{k \text{ は正の整数}\}$$

$$= 2047 \quad \{k = 1\}$$

とする。これにより、

$$(T_{ab}:T_{bc}:\cdots)$$

$$= (1:2:\cdots:2^{(g-1)}) g n \tau / (2^g - 1)$$

$$= (1:2:\cdots:1028) g \tau$$

と厳密に設定することができる。このとき、($n - n'$) = 48行が余るが、それらはダミー行として走査すればよい。

【0067】さらに本発明においては、各走査タイミングラインの間隔($T_{ab}:T_{bc}:\cdots$)を厳密に2の等比数列($1:2:\cdots:2^{(g-1)}$)とせず、実用上問題が無い間隔に設定してもよい。一例として、 $n = 2000$ 、走査タイミングラインを $g = 11$ 本とした場合、

$$(T_{ab}:T_{bc}:\cdots)$$

$$= (1:2:4:\cdots:256:512:977)$$

と設定する。右辺の数値の最後の数が2の等比数列になっていないが、右辺の数値の級数は2000であるので、($T_{ab}:T_{bc}:\cdots$)は行選択の基本周期 $g\tau$ の整数倍であり、設定した間隔による行選択走査が可能となる。ここで、最後の数が977であるため、 $2^g (= 2048)$ の値からは47の組み合わせが重複し、最終的な階調数は $2^g - 47 = 2001$ 階調となる。しかし、2001階調でも実用上問題がなければ、本発明の効果は十分に得られる。

【0068】次に、本発明の露光方法による光の利用効率について説明する。 $n = k (2^g - 1)$ (k は正の整数)のとき、本発明によれば、露光期間 T_0 は $T_0 = 2 g n \tau$ であり、感光材料への露光時間 T_e は $T_e = g n$

τ である。したがって、光の利用効率 η は、
 $\eta = (T_e / T_o) \times 100 = 50\%$
 となり、行数、階調数に依らず実用上問題にならない十分な光利用効率を得られる。

【0069】 $n = k(2^k - 1)$ { k は正の整数}でない条件とよきのときは、前述したように k を正の整数とするような仮想行数 n' で走査が行なわれ、ダミー行($n' - n$)分だけ余分な走査時間を必要とする。したがって、光の利用効率は50%以下になる場合があるが、その低下は小さく実用上問題にならない。

【0070】なお、以上説明した実施形態で使用され得る2次元マトリクス型空間光変調素子で、画素部の光出射、非出射の状態を維持する回路(図1参照)は、 n -MOS-FETと蓄積容量 C_{stg} とで構成されていたが、蓄積容量 C_{stg} が無くても動作上問題とならなければ、この蓄積容量は省略可能である。

【0071】また図1の回路は単結晶半導体で構成されていたが、図18のように多結晶半導体で構成されてもよい。この図18の画素部回路は、画素のMOS-FETをガラス基板50上にpoly-Si TFTプロセスで形成してなるものである。なお同図中、51はゲート絶縁膜、52は層間絶縁膜、53は画素電極(A1)、54はソース電極、55はゲート電極、56はドレイン電極である。

【0072】また図19に示した例のように、画素部回路は非晶質半導体で構成されてもよい。この図19の画素部回路は、画素のMOS-FETをガラス基板60上にa-Si TFTプロセスで形成してなるものである。なお同図中、61はゲート絶縁膜(SiNx)、62は層間絶縁膜、63は画素電極(A1)、64はソース電極、65はゲート電極、66はドレイン電極、67はチャンネル保護膜(SiNx)である。

【0073】また、周辺の駆動回路が単結晶半導体で構成され、画素部が多結晶半導体もしくは非晶質半導体で構成された複合構成が採用されてもよい。

【0074】さらに、画素部の光出射、非出射の状態を維持する回路は、図20に示すように、SRAM回路などの2値メモリー回路で構成されてもよい。この図20の例では、データ信号 V_d 、 $\neg V_d$ より1または0のデータが供給されると同時に、行選択信号 $\neg WE$ にSRAMへのデータ書き込みをイネーブルにするパルスが与えられるとSRAMに1または0のデータが書き込まれ、出力電圧 V_s は保持される。液晶は書き込まれたデータに従って光変調を行ない、その状態は、新たにSRAMのデータが更新されるまで維持される。

【0075】また光変調素子としては、電圧によって振れ角が変化するミラー素子を光変調部として備えるものでもよい。この素子において、書き込まれたデータが1のとき、ミラーの振れ角が一方の方向に安定して、垂直入射した光は一方の角度に反射される。一方、データが0のときは、ミラーの振れ角が他方の方向に安定して、

垂直入射した光は他方の角度に反射される。このようなミラー素子により構成される2次元マトリクス光変調素子を本発明の多階調露光方法に適用する場合は、素子からの一方の反射光のみ直接出力光として感光材料に結像露光できる。

【0076】また光変調素子としては、発光型素子を光変調部として備えるものでもよい。そのような発光型素子としては、電界で発光する無機の薄膜EL(エレクトロルミネッセンス)素子、電流で発光するキャリア注入型発光素子である有機EL(エレクトロルミネッセンス)素子、化合物半導体で構成されるLED等が挙げられる。このような発光型素子により構成される2次元マトリクス光変調素子を本発明の多階調露光方法に適用する場合は、素子から発光される光を直接出力光として感光材料に結像露光できる。

【0077】一例として図21には、電界で発光する無機の薄膜EL素子を光変調部とした2次元マトリクス空間光変調素子の画素部の等価回路を示す。この図21中、70は薄膜EL、71はその画素電極、72は対向電極である。

【0078】この回路においては、行選択信号 V_g の選択パルスにより、データ信号 V_d から1または0のデータがMOS-FETのTR1に書き込まれる。TR1の出力電圧 V_s は、書き込まれたデータが1のとき、MOS-FETのTR2が十分導通状態となるような電圧で保持される。書き込まれたデータが0のときは、TR2が十分非導通状態となるような電圧で保持される。TR1の出力電圧 V_s は、新たなデータが書き込まれるまで保持される。薄膜EL70はTR2と直列接続され、TR2の一方は回路のグランド電位 V_{ss} に接続され、薄膜EL70の対向電極72は共通電源 V_{ac} に接続されている。

【0079】 V_{ac} は交流電圧で代表的には20kHz、100Vrms程度の電圧が供給されている。TR2が導通状態のとき、薄膜EL70間の電圧 V_{el} は略 V_{ac} となり、薄膜EL70が発光する。TR2が非導通状態のとき、薄膜EL70間の電圧 V_{el} は薄膜EL70が発光する電圧より低くなり、薄膜EL70は発光しない。したがって、データ1が書き込まれると発光を持続し、データ0が書き込まれると発光は行なわれなくなる。

【0080】また図22は、薄膜ELを用いる2次元マトリクス空間光変調素子の画素部の断面図である。この例では、半導体基板80上に図21に示したような画素回路81が形成され、層間絶縁層82を介して画素電極(A1等の金属反射膜)83が形成されている。さらに絶縁層84、EL発光層(一例としてZnS:Mn薄膜)85、絶縁層86、対向透明電極(ITOなど)87を順に積層して、画素部が形成されている。対向透明電極87には共通電源 V_{ac} が供給される。EL発光層85から発した光は、画素電極83で反射するなどして、最終的には図22中の上方に出射する。

【0081】なお本発明の多階調露光方法は、他の階調露光方法（面積階調、光強度変調方法、ディザ法など）と組み合わせることも可能である。

【図面の簡単な説明】

【図1】本発明に用いられ得る空間光変調素子の画素部の断面図

【図2】上記空間光変調素子の画素部の等価回路図

【図3】上記空間光変調素子を用いた光変調光学系を示す概略図

【図4】液晶層電圧と液晶配向位置の関係を示す説明図

【図5】上記画素部の各電圧と出力光波形を示すグラフ

【図6】2次元マトリクス型空間光変調素子の等価回路図

【図7】2次元マトリクス型空間光変調素子の駆動方法を示す概略図

【図8】空間光変調素子を用いた露光システムの概略図

【図9】従来の多階調露光方法における感光材料への露光シーケンスを示す概略図

【図10】従来方法における行選択信号タイミングと走査タイミングラインを示す概略図

【図11】従来の多階調露光方法による書き込み走査のタイミングチャート

【図12】従来の多階調露光方法による出力光の変調状態を示す概略図

【図13】本発明の多階調露光方法における走査のタイミングチャート

【図14】図13中の一時刻における行選択信号タイミングと走査タイミングラインを示す概略図

【図15】図13中の別の時刻における行選択信号タイミングと走査タイミングラインを示す概略図

【図16】本発明の多階調露光方法による出力光の変調状態を示す概略図

【図17】本発明による露光期間と階調数との関係を示すグラフ

【図18】多結晶半導体で構成された画素部の断面図

【図19】非晶質半導体で構成された画素部の断面図

【図20】SRAM回路で構成された画素部の断面図

【図21】薄膜ELからなる画素部の等価回路図

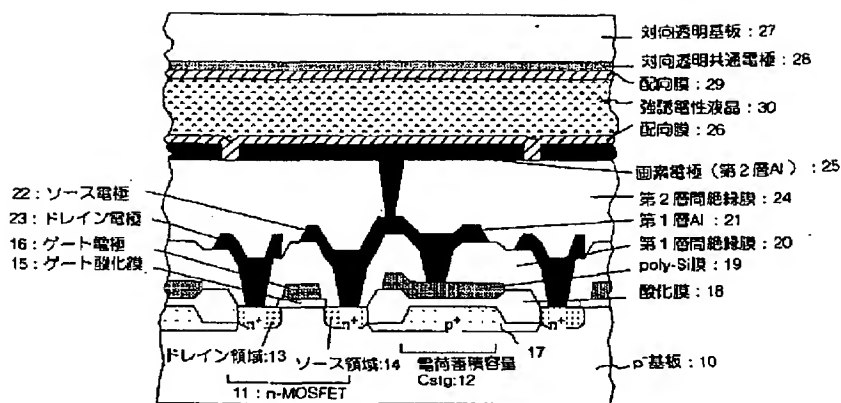
【図22】薄膜ELからなる画素部の断面図

【符号の説明】

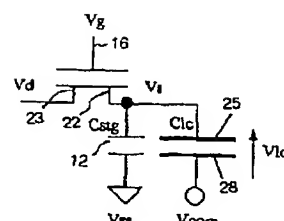
- 1 2次元マトリクス型空間光変調素子
- 2 PBS
- 3 光源
- 4 集光レンズ
- 5 シャッター
- 6 投影レンズ
- 7 感光材料

- 8 画像信号発生装置
- 10 p⁺型シリコン半導体基板
- 11 n-MOS-FET
- 12 電荷蓄積容量
- 13 ドレイン領域
- 14 ソース領域
- 15 ゲート酸化膜
- 16 ゲート電極
- 17 p⁺領域
- 18 酸化膜
- 19 poly-Si膜
- 20 第1層間絶縁膜
- 21 第1層Al配線
- 22 ソース電極
- 23 ドレイン電極
- 24 第2層間絶縁膜
- 25 画素電極（第2層Al）
- 26 配向膜
- 27 対向透明基板
- 28 対向透明共通電極
- 29 配向膜
- 50 ガラス基板
- 51 ゲート絶縁膜
- 52 層間絶縁膜
- 53 画素電極（Al）
- 54 ソース電極
- 55 ゲート電極
- 56 ドレイン電極
- 60 ガラス基板
- 61 ゲート絶縁膜（SiNx）
- 62 層間絶縁膜
- 63 画素電極（Al）
- 64 ソース電極
- 65 ゲート電極
- 66 ドレイン電極
- 67 チャンネル保護膜（SiNx）
- 70 薄膜EL
- 71 画素電極
- 72 対向電極
- 80 半導体基板
- 81 画素回路
- 82 層間絶縁層
- 83 画素電極
- 84 絶縁層
- 85 EL発光層
- 86 絶縁層
- 87 対向透明電極

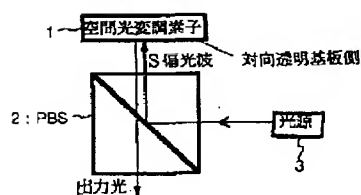
【图 1】



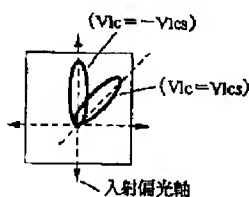
【图2】



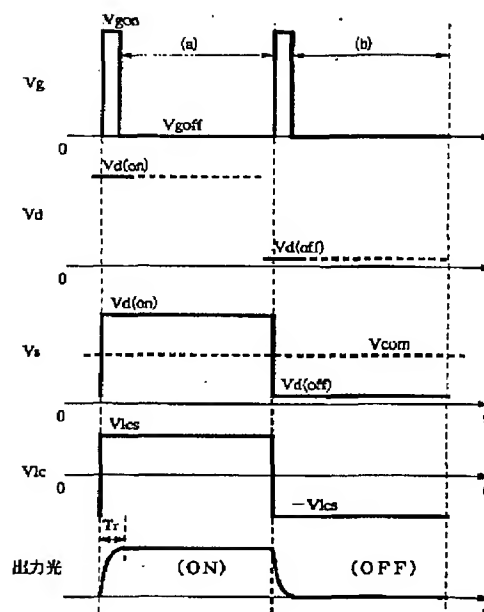
【圖 3】



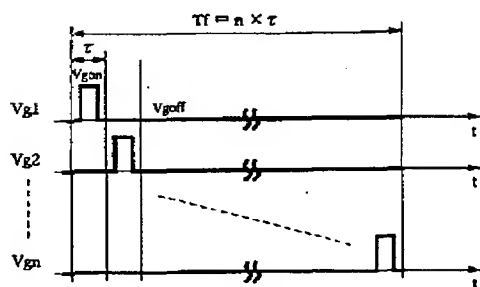
【圖 4】



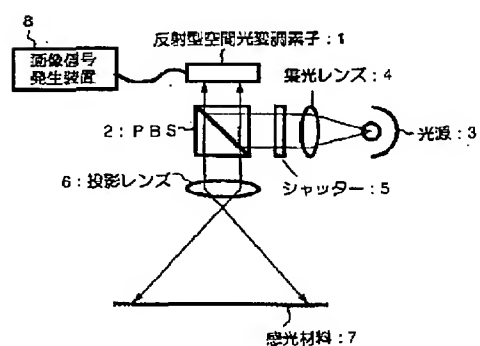
【图 5】



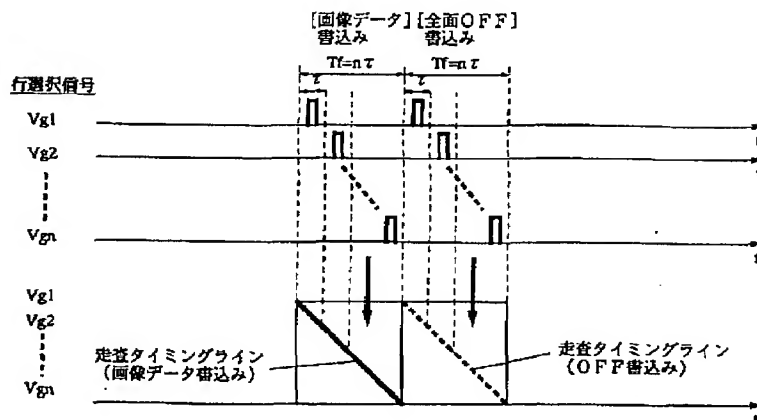
【图 7】



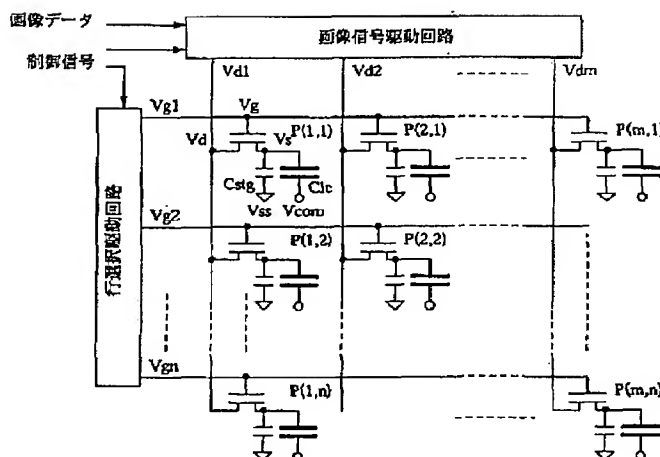
【图8】



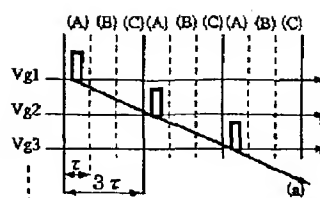
【图 10】



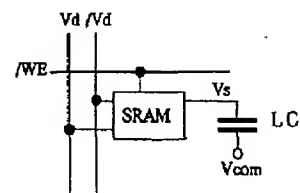
【図 6】



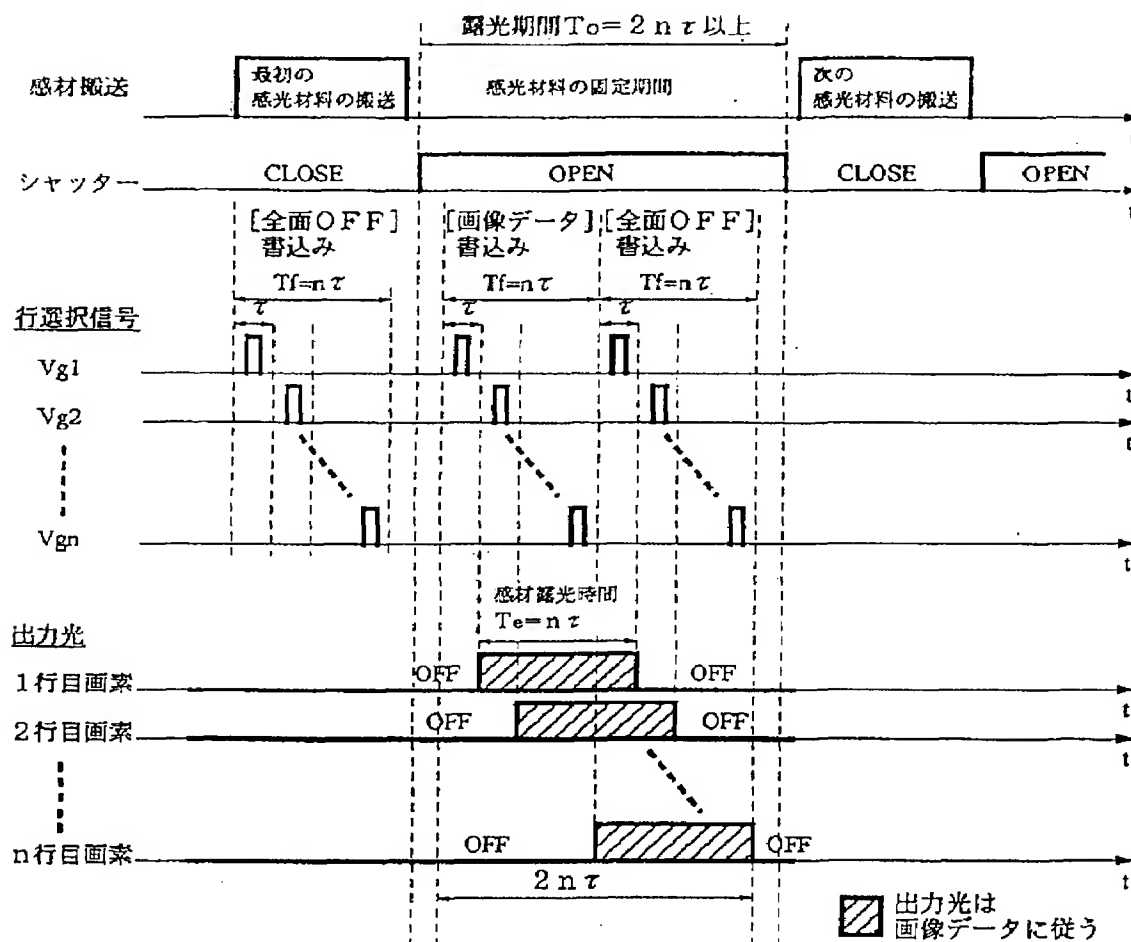
【図 14】



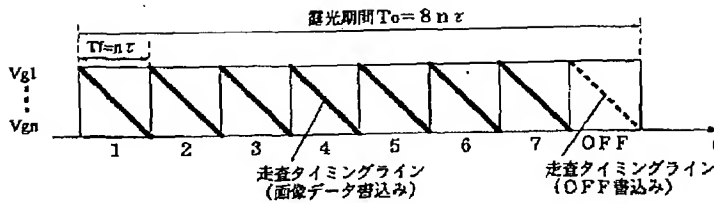
【図 20】



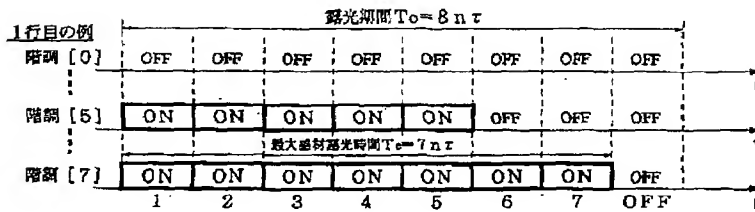
【図 9】



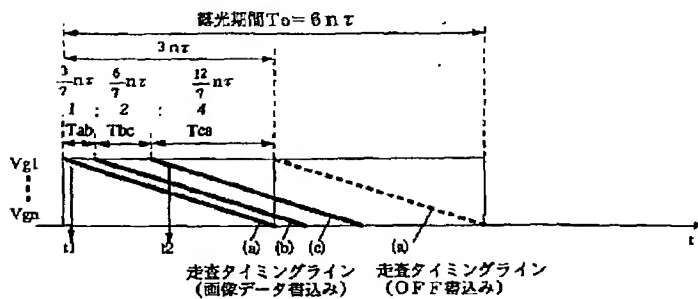
【図 11】



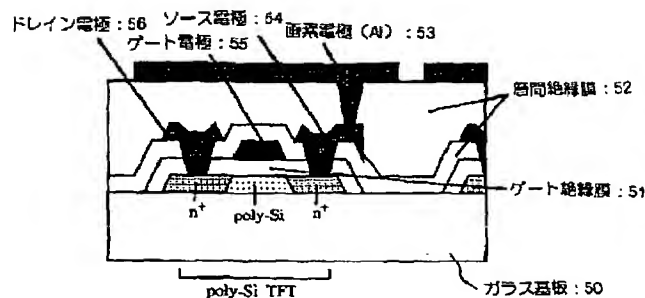
【図 12】



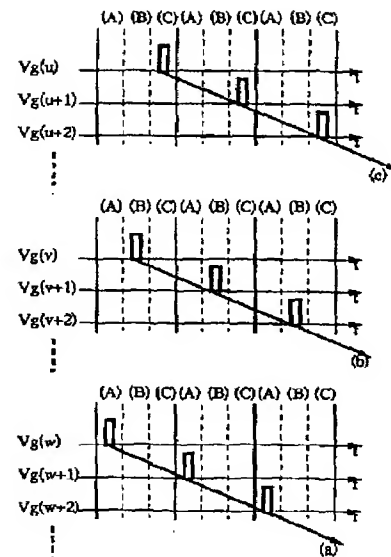
【図 13】



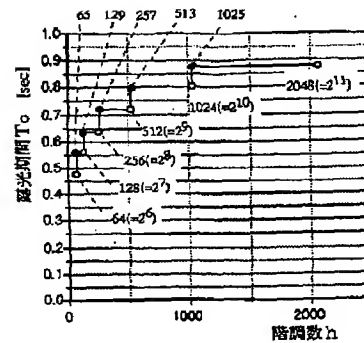
【図 18】



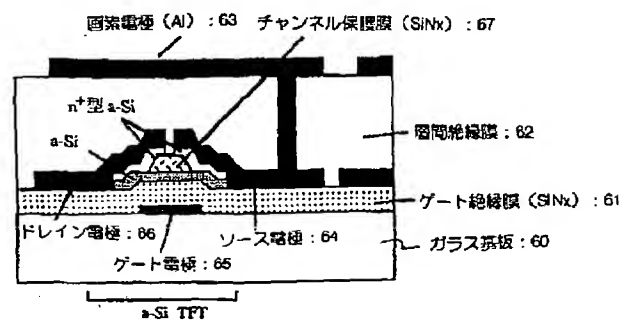
【図 15】



【図 17】



【図 19】



【图 2 1】

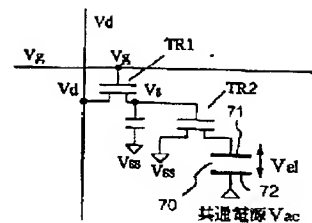


Figure 1 is a cross-sectional view of a light-emitting diode (LED) structure. The diagram shows a substrate (80) at the bottom, followed by a p-type layer (81), a p-type barrier layer (82), a p-type contact layer (83), a p-type contact pad (84), a p-type contact pad (85), a p-type contact pad (86), a p-type contact pad (87), and a p-type contact pad (88). Arrows indicate the direction of light emission from the p-type contact pad (86).

(19) Japan Patent Office (JP)
(12) Publication of Patent Application
(11) Publication Number of Patent Application: Hei 10-239665
(43) Date of Publication of Application: September 11, 1998
(51) Int. Cl.⁶
Identification Number
Intraoffice Reference Number
FI

Request for Examination: not made

Number of Claims: 10 OL (13 pages in total)

(21) Application Number: Hei 9-42068
(22) Application Date: February 26, 1997
(71) Applicant: 000005201
Fuji Photo Film Co., Ltd.
No. 210, Nakanuma, Minamiashigara-shi,
Kanagawa-ken
(72) Inventor: Koichi Kimura
c/o Fuji Photo Film Co., Ltd.
No. 210, Nakanuma, Minamiashigara-shi,
Kanagawa-ken
(74) Agent: Patent Attorney Masashi Yanagida, et al.

(54) [Title of the Invention] MULTI-GRADATION EXPOSING METHOD
USING TWO-DIMENSIONAL MATRIX TYPE SPATIAL OPTICAL MODULATION
ELEMENT

(57) [Abstract]

[Problem] To realize multi-gradation exposure at a high speed
in a multi-gradation exposure method that uses a spatial optical

modulation element consisting of pixel portions, which alternately take a state of light emission or non-emission according to a drive signal, constituting rows and columns to be arranged in a two-dimensional matrix shape.

[Means for Resolution] A spatial optical modulation element having pixel portions, which maintain a state of light emission or non-emission until a new drive signal is inputted, is used as the spatial optical modulation element, all rows of this spatial optical modulation element are selectively scanned for each of plural time intervals different from each other, a drive signal based on image data is inputted in each pixel portion in a selected row, selective scanning performed for each of the plural time intervals different from each other is multiplexed on a time basis, and one selected row is decided by time division out of the plural rows subjected to this multiplex scanning.

[Claims]

[Claim 1] A multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element in which a spatial optical modulation element including pixel portions, which alternately take a state of light emission or non-emission according to a drive signal, constituting rows and columns being arranged in a two-dimensional matrix shape is arranged in an optical path of exposure light, and exposure light, an irradiation time of which is controlled for each pixel portion by this spatial optical modulation element, is irradiated on a photosensitive material to apply multi-gradation exposure to the photosensitive material, characterized in that

an element having pixel portions maintaining a state of

light emission or non-emission until a new drive signal is inputted is used as the spatial optical modulation element,

all rows of the spatial optical modulation element are selectively scanned for each of plural time intervals different from each other,

a drive signal based on image data is inputted to each pixel portion in a selected row,

the selective scanning performed for each of the plural time intervals different from each other is multiplexed on a time basis, and

one selected row is decided by time division out of the plural rows different from each other subjected to this multiplex scanning.

[Claim 2] A multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element according to claim 1, characterized in that the plural time intervals are geometric series of $2, 1:2: \dots : 2^{(g-1)}$ {g is a positive integer}.

[Claim 3] A multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element according to claim 1 or 2, characterized in that, when it is assumed that a time of the row selection is τ and the number of said plural time intervals is g, the row selection is performed at a basic cycle of $g\tau$.

[Claim 4] A multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element according to any one of claims 1 to 3, characterized in that the pixel portion comprises an optical modulation portion and a circuit for inputting a drive signal for each row in the optical modulation portion at the time of row selection to update and

Scanned 1/28/2025

maintain an optical modulation state.

[Claim 5] A multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element according to claim 4, characterized in that the circuit for updating and maintaining an optical modulation state is one comprising an element including a monocrystal semiconductor.

[Claim 6] A multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element according to claim 4, characterized in that the circuit for updating and maintaining an optical modulation state is one comprising an element including a multi-crystal semiconductor.

[Claim 7] A multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element according to claim 4, characterized in that the circuit for updating and maintaining an optical modulation state is one comprising an element including an amorphous semiconductor.

[Claim 8] A multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element according to any one of claims 1 to 7, characterized in that the optical modulation element is one having an optical modulation portion including a ferroelectric liquid crystal.

[Claim 9] A multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element according to any one of claims 1 to 7, characterized in that the optical modulation element is one having an optical modulation portion including a mirror element, a deflection angle of which changes according to a drive signal.

[Claim 10] A multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element according to any one of claims 1 to 7, characterized in that

the optical modulation element comprises an electroluminescent element.

[Detailed Description of the Invention]

[0001]

[Technical Field to which the Invention Belongs] The present invention relates to a method of exposing a multi-gradation image on a photosensitive material, and in particular to a multi-gradation exposing method that makes it possible to apply multi-gradation exposure to a photosensitive material at a high speed using a two-dimensional matrix type spatial optical modulation element constituted by a liquid crystal element, a mirror element, an electroluminescence element, or a light emitting element such as an LED element.

[0002]

[Prior Art]

In recent years, a printer apparatus has been developed with various systems, which exposes a photosensitive material, for example, a silver salt photosensitive material, a non-silver salt optical reaction color development photosensitive material, a photo-thermal conversion color development sensitive material, or the like, which is modulated based on image data, to reproduce an image. One of performances required of such a printer apparatus includes increase in an exposure speed.

[0003]

As a general exposure system, there is known a system according to a laser scanning exposure. However, this system adopts a point-successive exposure operation and has a disadvantage in that an exposure time is long. As a method suitable for a higher speed exposure, there is known an exposure

system that utilizes a line type optical modulation element or a two-dimensional matrix type optical modulation element. The former adopts a line-successive exposure operation and is capable of performing high speed exposure. The latter adopts a surface exposure operation, and a much higher speed exposure can be expected with the exposure system.

The two-dimensional matrix consists of pixel portions, which alternately take a state of light emission or non-emission according to a drive signal, constituting rows and columns to be arranged in a two-dimensional matrix shape. Note that, as the two-dimensional matrix type optical modulation element in this specification, it is assumed that not only one in which a pixel portion is constituted by an element for modulating light from another light source such as a liquid crystal element or a mirror element but also one in which the pixel portion is constituted by an electroluminescence element or a light emitting element such as an LED is included.

[0004]

As one of spatial optical modulation elements of this type, there is known one provided with pixel portions for maintaining the above-mentioned light emission or non-emission until a new drive signal is inputted. The spatial optical modulation element of this type is developed and commercialized as a high-definition display element. In particular, a display element of active matrix liquid crystal elements is a representative one of the high-definition display element.

[0005]

Incidentally, in the spatial optical modulation element of this type, it is desired that an area of an element is as small as possible in order to increase a light condensing ratio

in surface exposure processing. In order to obtain a higher definition image, it is necessary to increase the number of pixels of an element. However, when an area of an element is reduced and the number of pixels is increased, since an area of one pixel is naturally reduced, high precision of the element is required.

[0006]

From such a background, among the aforementioned active matrix liquid crystal elements, what is particularly preferable from the viewpoint of high integration and high aperture ratio is a reflection type active matrix liquid crystal element with a structure in which a substrate thereof, and a pixel circuit (mainly an MOS-FET) and a peripheral drive circuit (mainly a row selection drive circuit and an image signal drive circuit in a column) are integrally constituted with a monocrystal semiconductor and a voltage is supplied to a liquid crystal by providing a reflection electrode in the upper part of the pixel circuit.

[0007]

On the other hand, among the active matrix liquid crystal element, one using a ferroelectric liquid crystal as a liquid crystal material is highly expected as an exposure element for a printer apparatus due to its high speed responsiveness (a response time is in the order of several μs to 100 μs depending on a liquid crystal material, a voltage applied to a liquid crystal, temperature, and the like).

[0008]

However, the ferroelectric liquid crystal can generally take a binary stable state only and an anti-ferroelectric liquid crystal can generally take a ternary stable state only. Thus,

when a liquid crystal consisting of these liquid crystals is used as an exposure element for a printer apparatus, only a low-gradation image is obtained with exposure by data writing of one time. Therefore, data writing and exposure of plural times are necessary for reproduction of an image requiring the number of gradations of approximately 256, for example, a full color image or the like.

[0009]

Here, multi-gradation exposure by a two-dimensional matrix type optical modulation element using a ferroelectric liquid crystal in an optical modulation portion will be described in detail.

[0010]

Structure of a two-dimensional matrix type optical modulation element

Fig. 1 is a sectional view of a pixel portion of a spatial optical modulation element of this type. As shown in the figure, an n-MOS-FET 11 and a charge accumulation capacitor Cstg 12 are formed on a p-type silicon semiconductor substrate 10 of a monocrystal. The n-MOS-FET 11 is constituted by an n⁺ type drain area 13, a source area 14, a gate oxide film 15, and a gate electrode 16 consisting of a poly-Si film. In addition, the charge accumulation capacitor Cstg 12 is constituted by a p⁺ area 17, an oxide film 18, and a poly-Si film 19.

[0011]

In addition, first layer Al wiring 21 is formed via a first interlayer insulating film 20, whereby a source electrode 22 connected to the source area 4 is formed. The source area 14 and the poly-Si film 19 of the charge accumulation capacitor Cstg 12 are connected by this source electrode 22. Note that

Scanned 1/30/2009

a drain electrode 23 is connected to the drain area 3. Moreover, a pixel electrode (second layer A1) 25 is formed via a second interlayer insulating film 24 and is connected to the source electrode 22.

[0012]

An orientation film 26 is formed on the pixel electrode 25. On the other hand, an opposed transparent common electrode 28 consisting of ITO is formed on one side of an opposed transparent substrate 27, and an orientation film 29 is further formed on the opposed transparent common electrode 28. The above-mentioned two substrates 10 and 27 are arranged such that the orientation films 26 and 29, which are made integral with the substrates 10 and 27, respectively, are opposed to each other, and a ferroelectric liquid crystal 30 is held in a gap between them.

[0013]

Fig. 2 is an equivalent circuit of the pixel portion of the spatial optical modulation element of Fig. 1. As shown in the figure, the source electrode 22 of the n-MOS-FET 11, one side of the charge accumulation capacitor Cstg 12, and the pixel electrode 25 are connected. The other side of the charge accumulation capacitor Cstg 12 is connected to a power supply ground potential V_{ss} of the electrode. In addition, a capacitor Clc is formed by the pixel electrode 25, the orientation films 26 and 29, the ferroelectric liquid crystal 30, and the opposed transparent common electrode 28.

[0014]

Here, a gate electrode voltage of the n-MOS-FET 11 is assumed to be V_g , a drain electrode voltage is assumed to be V_d , a source electrode voltage is assumed to be V_s , and an opposed

transparent common electrode voltage is assumed to be V_{com} with a power supply ground potential V_{ss} as a reference. In addition, a pixel electrode voltage is assumed to be a liquid crystal layer voltage V_{lc} with V_{com} as a reference.

[0015]

Basic operation of a spatial optical modulation element

Fig. 3 shows a schematic optical modulation optical system for explaining a basic operation of a spatial optical modulation element. A polarizing beam splitter (PBS) 2 is arranged on an opposed transparent substrate side of a spatial optical modulation element 1. An S polarized light wave of light from a light source 3 is reflected by the PBS 2 and incident in an opposed transparent substrate 7 of the spatial optical modulation element 1. The incident light is reflected by the pixel electrode 25 via a layer of a liquid crystal 30 and incident in the PBS 2 passing through the liquid crystal layer again. At this point, only a P polarized light component of the reflected light is transmitted through the PBS 2 and light thereof becomes output light.

[0016]

In addition, Fig. 4 shows a relationship between a liquid crystal layer voltage V_{lc} and a liquid crystal orientation position for also explaining the basic operation of the spatial optical modulation element. It is assumed that a ferroelectric liquid crystal showing bistable orientation is used as a liquid crystal. Orientation processing is performed such that a liquid crystal orientation direction coincides with an incident polarized light axis when the liquid crystal layer voltage V_{lc} is $-V_{lcs}$ and the liquid crystal orientation direction is in a position 45 degrees from the incident polarized light axis

when the liquid crystal layer voltage V_{lc} is V_{lcs} . In addition, a liquid crystal material and a liquid crystal layer thickness are appropriately adjusted such that desired output light is obtained when the liquid crystal orientation direction is in the position 45 degrees from the incident polarized light axis.

[0017]

Consequently, the output light is turned OFF when the liquid crystal layer voltage V_{lc} is $-V_{lcs}$ and turned ON when it is V_{lcs} .

[0018]

Next, Fig. 5 shows each voltage of the pixel portion and a waveform of output light in the structure described in Figs. 1 to 4. First, the gate electrode voltage V_g is increased to a sufficiently high V_{gs} such that the n-MOS-FET 11 becomes conductive. When the drain electrode voltage V_d is simultaneously set to $V_d(on)$, the pixel voltage V_s is increased to about $V_d(on)$. Thereafter, even if the gate electrode voltage V_g is decreased to a sufficiently low V_{goff} such that the n-MOS-FET 11 becomes nonconductive, the pixel voltage V_s holds about $V_d(on)$ by the charge accumulation capacitor C_{stg} 12 and the liquid crystal layer capacitor C_{lc} . Therefore, the liquid crystal layer voltage V_{lc} in this period ((a) in Fig. 5) equals to $(v_d(on) - V_{com})$.

[0019]

On the other hand, when the gate electrode voltage V_g is increased to be sufficiently high such that the n-MOS-FET 11 becomes conductive and the drain electrode voltage V_d is simultaneously set to $V_d(off)$, the pixel voltage V_s drops to about $V_d(off)$. Thereafter, even if the gate electrode voltage V_g is decreased to be sufficiently low such that the n-MOS-FET

11 becomes nonconductive, the pixel voltage V_s holds about $V_d(\text{off})$ by the charge accumulation capacitor C_{stg} and the liquid crystal layer capacitor C_{lc} . Therefore, the liquid crystal voltage V_{lc} in this period ((h) in Fig. 4) equals to about $(V_d(\text{off}) - V_{com})$.

[0020]

Here, when the opposed common electrode voltage V_{com} is applied such that V_{com} equals to $(V_d(\text{on}) + V_d(\text{off}))/2$, the liquid crystal layer voltage V_{lc} of each of a) period and (b) period is as follows:

$$(a) \text{ period: } V_{lc} = (V_d(\text{on}) - V_d(\text{off}))/2$$

$$(b) \text{ period: } V_{lc} = (V_d(\text{on}) - V_d(\text{off}))/2$$

In this case, when $V_d(\text{on})$ and $V_d(\text{off})$ are determined such that the respective liquid crystal layer voltages V_{lc} of the (a) period and the (b) period become V_{lcs} or more and $-V_{lcs}$ or less, respectively, output light can be modulated to be ON and OFF, respectively.

[0021]

Note that, although the liquid crystal layer voltage V_{lc} may be actually asymmetrical in the (a) period and the (b) period due to causes such as parasitic capacitance of the n-MOS-FET 11, since this does not specifically affect the present invention, it is assumed that V_{lc} conforms to the above-mentioned expression.

[0022]

Here, T_r in Fig. 5 indicates an optical response time of a ferroelectric liquid crystal. Although this generally depends on a liquid crystal material, the liquid crystal layer voltage V_{lc} , temperature, and the like, approximately several μs to 100 μs is practically obtained. Time for writing data

in a pixel depends on an electric response time required for changing the liquid crystal layer voltage V_{lc} to an operation voltage V_{lcs} (or $-V_{lcs}$) and the above-mentioned optical response time of a liquid crystal. Although it is necessary to reduce both of these times in order to write data at a high speed, in particular, the optical response time practically has a limit.

[0023]

Two-dimensional matrix drive method of a spatial optical modulation element

Fig. 6 is an equivalent circuit of a two-dimensional matrix type spatial optical modulation element. This example is a spatial optical modulation element having pixels of m columns \times n rows, which is constituted by a pixel circuit of m columns \times n rows, a row selection drive circuit for giving a signal to the pixel circuit, and an image signal drive circuit. Image data is transferred to the image signal drive circuit, and a sequence discussed later is completed by a control signal and each drive circuit. Here, gate electrodes of pixels of the same row are connected together and are controlled, respectively, by row selection signals $[V_{g1}, V_{g2}, \dots, V_{gn}]$ that are outputs of the row selection drive circuit. In addition, drain electrodes of pixels of the same column are connected together, data is supplied to the drain electrodes, respectively, by image signals $[V_{d1}, V_{d2}, \dots, V_{dm}]$ that are outputs of the image signal drive circuit.

[0024]

Note that the pixel circuit of m columns \times n rows, the row selection drive circuit and the image signal drive circuit shown in the equivalent circuit of Fig. 6 are formed on an identical silicon substrate.

[0025]

Fig. 7 is a timing chart showing a driving method of the two-dimensional matrix type spatial optical modulation element in the circuit of Fig. 6. A writing sequence of an image signal for one screen will be hereinafter described.

[0026]

a) An image signal to be written in pixels of a first row is supplied from the output [Vd1, Vd2,, Vdm] of the image signal drive circuit. Next, only Vg1 that is a row selection signal of the first row is turned into Vgon with which MOS-FET becomes conductive and the other row selection signals are turned into Vgoff with which MOS-FET becomes nonconductive. At this point, an image signal voltage is applied to each of the pixel electrodes of the first row. Thereafter, even if Vg1 is turned into Vgoff with which MOS-FET becomes nonconductive, a voltage of a pixel electrode changes little and is maintained. Output light responds as shown in Fig. 5 in accordance with this pixel voltage. In this way, image signal writing of the pixels of the first row is performed. A writing time for this first row is assumed to be τ .

[0027]

b) Writing of image signals is performed in the same sequence for the second and subsequent rows, and when writing of an image signal for the n-th row is finished, writing of image signals for one screen is finished. Therefore, a writing time T_f of image signals for one screen (n rows) is $n \times \tau$.

[0028]

Description of an exposure system

Fig. 8 shows an exposure system of a photosensitive material that uses the above-described reflection type

two-dimensional matrix type optical modulation element.

[0029]

First, light from the light source 3 is condensed by a condensing lens 4 and incident in the PBS 2. An S polarized light of this light is reflected by the PBS 2 and incident on the opposed transparent substrate side of the two-dimensional matrix type spatial optical modulation element 1. The incident light is reflected by the pixel electrode via the liquid crystal layer and incident in the PBS 2 passing through the liquid crystal layer again. In this case, only a P polarized light of the reflected light is transmitted through the PBS 2 as an output light and focused on a photosensitive material 7 by a projection lens 6. A two-dimensional distribution of amount of light focused on the photosensitive material 7 conforms to the image signal written in the two-dimensional matrix type spatial optical modulation element 1 by an image signal generation device 8. That is, as shown in the aforementioned Fig. 5, when $V_d(\text{on})$ is written in a pixel voltage, an amount of light of the photosensitive material 7 of that part becomes ON, and when $V_d(\text{off})$ is written in a pixel voltage, an amount of light of the photosensitive material 7 in that part becomes OFF.

[0030]

Fig. 9 is a sequence of exposure with respect to the photosensitive material 7. First, an optical shutter 5 arranged behind the condensing lens 4 is closed. While the optical shutter 5 is closed, the photosensitive material 7 is conveyed to a focusing surface of the projection lens 6 and fixed. At the same time, a signal of $V_d(\text{off})$ is written in all pixels of the two-dimensional matrix type spatial optical modulation element 1 by the image signal generation device 8. Thereafter,

the optical shutter 5 is opened. An output light at this point is OFF on the entire surface.

[0031]

In this state, the image data signal ($V_d(\text{on})$ or $V_d(\text{off})$) is written in the two-dimensional matrix type spatial optical modulation element 1 in order from the first row by the image signal generation device 8. Output light is sequentially outputted in accordance with the image signal and exposes the photosensitive material 7. A writing time from the first row to the last n -th row is $n\tau$. After an image signal is written in the last n -th row, a signal of $V_d(\text{off})$ is written from the first row again in order to make an output light OFF. When a signal of $V_d(\text{off})$ is written in the last n -th row, a period for exposing the photosensitive material 7 ends. Thereafter, the optical shutter 5 is closed, and conveyance and fixing of the next photosensitive material 7 are performed.

[0032]

According to the above-mentioned exposure sequence, an exposure time T_e for the photosensitive material 7 is $n\tau$ when the image signal written in each pixel is ON, and is zero when the image signal is OFF. In addition, a time T_0 required for this exposure is $2n\tau$.

[0033]

That is, when a writing time for one row is assumed to be τ , the time T_0 required for performing exposure of an image of n rows and two gradations is $2n\tau$, and the exposure time T_e for the photosensitive material 7 at this point is $n\tau$. Here, although a stabilizing time at the time of opening and closing the shutter is added to the exposure period T_0 , the stabilizing time can be neglected because it is extremely small compared

with $n\tau$.

[0034]

Description of multi-gradation exposure

Fig. 10 is an explanatory view of timing of a row selection signal and a scan timing line for explaining multi-gradation exposure. The horizontal axis is a time axis, and the vertical axis indicates row selection signals ($Vg1, Vg2, \dots, Vgn$ in order from the above). In this figure, a solid line indicates a scan timing line (image data writing), which is encoded timing of an image data writing row to be selected by the row selection signals. In addition, a broken line indicates a scan timing line (OFF writing), which is encoded timing of an OFF writing row to be selected by the row selection signals.

[0035]

As a method of using the aforementioned binary optical modulation element to realize multi-gradation exposure, there is known multi-gradation exposure by changing an exposure time. Fig. 11 is a timing chart of writing scan according to the representative multi-gradation exposure method. In this figure, exposure timing of eight gradations is shown. Scanning for writing image data from the first line to the last n -th line in a row-sequential manner is repeated seven times in a row. In scanning of the last eighth time, OFF is written.

[0036]

Since a time for one scanning is $n\tau$, the exposure period T_0 by a series of sequence is $8n\tau$. In Fig. 12, an example of output light according to the multi-gradation exposure method of Fig. 11 is shown. Note that, in this figure, an example of the first row is shown.

[0037]

In an example of gradation [0], OFF is written in all scanning from the first time to the seventh time. As a result, all the output light becomes OFF, and an exposure time for a photosensitive material becomes zero. In an example of gradation [5], ON is written in all scanning from the first time to the fifth time, and OFF is written in scanning from the sixth time and the seventh time. As a result, an exposure time of output light for a photosensitive material becomes $5nt$. In an example of gradation [7], ON is written in all scanning from the first time to the seventh time. As a result, an exposure time of output light for a photosensitive material becomes $7nt$. In this way, a gradation level and an exposure time for a photosensitive material are proportionate to each other, and multi-gradation exposure can be performed.

[0038]

[Problems that the Invention is to Solve]

However, in such a multi-gradation exposure system, there is a problem in that the exposure period T_0 becomes extremely long in accordance with the increase in the number of gradations. That is, when the number of gradations is assumed to 2^g ($g=1, 2, 3, \dots$), the exposure period T_0 is represented by the following expression:

$$T_0 = 2^g nt \text{ [sec]} \dots\dots (1)$$

And the exposure period T_0 becomes extremely long in accordance with the increase in the number of gradations. Such a multi-gradation exposure system is not appropriate for the system requiring a high-speed exposure.

[0039]

The present invention has been devised in view of the above-mentioned circumstances, and it is an object of the present

invention to provide a multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element, which can apply multi-gradation exposure to a photosensitive material at a high speed.

[0040]

[Means for Solving the Problems]

The multi-gradation exposure method using the two-dimensional matrix type spatial optical modulation element according to the present invention is a multi-gradation exposure method using a two-dimensional matrix type spatial optical modulation element in which a spatial optical modulation element consisting of pixel portions, which alternately take a state of light emission or non-emission according to a drive signal, constituting rows and columns to be arranged in a two-dimensional matrix shape are arranged in an optical path of exposure light, and exposure light, an irradiation time of which is controlled for each pixel portion by this spatial optical modulation element, is irradiated on a photosensitive material to apply multi-gradation exposure to the photosensitive material, the multi-gradation exposure method being characterized in that an element having pixel portions for maintaining a state of light emission or non-emission until a new drive signal is inputted is used as the spatial optical modulation element, all rows of this spatial optical modulation element are selectively scanned for each of plural time intervals different from each other, a drive signal based on image data is inputted in each pixel portion in a selected row, the selective scanning performed for each of the plural time intervals different from each other is multiplexed on a time basis, and one selected row is decided by time division out of the plural rows different

from each other subjected to this multiplex scanning.

[0041]

Note that it is desirable that the above-mentioned plural time intervals are geometric series of 2, 1:2: :2^(g-1) {g is a positive integer}.

[0042]

In addition, when it is assumed that a time of the above-mentioned row selection is τ and the number of the above-mentioned plural time intervals is g, a basic cycle of the row selection is desirably $g\tau$.

[0043]

On the other hand, as the two-dimensional matrix type spatial optical modulation element, it is desirable that the pixel portion is constituted by an optical modulation portion and a circuit for inputting a drive signal for each row in the above-mentioned optical modulation portion at the time of row selection to update and maintain an optical modulation state.

[0044]

In such a case, as the circuit for updating and maintaining an optical modulation state, one constituted by an element including a monocrystal semiconductor, one constituted by an element including a multi-crystal semiconductor, or one constituted by an element including amorphous semiconductor can be used preferably.

[0045]

In addition, as the optical modulation element, one having an optical modulation portion consisting of a ferroelectric liquid crystal, one having an optical modulation portion consisting of a mirror element, a deflection angle of which changes according to a drive signal, and one consisting of an

electroluminescent element can be used preferably.

[0046]

[Effect of the Invention]

In the method of the present invention, since all the rows of the spatial optical modulation element are adapted to be selectively scanned for each of the plural time intervals different from each other, the number of gradations can be increased markedly by combining the plural intervals of selective scanning even if the number of times of scanning is few. Moreover, since the plural selective scanning is multiplexed on a time basis and writing of image data is performed according to row selection by time division of the multiplexed selective scanning, the entire exposure time can be reduced significantly.

[0047]

[Embodiments of the Invention]

Embodiments of the present invention will be hereinafter described in detail with reference to the drawings. Fig. 13 is a timing chart of writing scan in a multi-gradation exposure method according to one embodiment of the present invention. Note that, in this figure, exposure timing of eight gradations is shown.

[0048]

Here, as a spatial optical modulation element, a drive circuit therefor, and an exposure system, for example, one as shown in Fig. 1, one as shown in Fig. 6, and one as shown in Fig. 8 can be utilized, respectively.

[0049]

In Fig. 13, solid slant lines (a), (b) and (c) are scan timing line for writing image data, and a broken slant line

(a) is scan timing line for writing OFF. Although each scan timing line is scanned for each line in order from the first line, scanning is started in the order of writing image data (a) → writing image data (b) → writing image data (c) → writing OFF (a).

[0050]

Here, when it is assumed that a time interval between the solid scan timing line (a) and the solid scan timing line (b) is T_{ab} , a time interval between the solid scan timing line (b) and the solid scan timing line (c) is T_{bc} , a time interval between the solid scan timing line (c) and the broken scan timing line (a) is T_{ca} , a ratio of these timing lines is set as $T_{ab}:T_{bc}:T_{ca} = 1:2:4$. More specifically, the ratio is set as $T_{ab}:T_{bc}:T_{ca} = (3/7)\tau:(6/7)\tau:(12/7)\tau$. In this way, exposure of eight gradations (2^3 gradations) can be performed by image data writing of three times in any row.

[0051]

Note that, essentially, writing scan (row selection) for plural rows cannot be performed simultaneously. Therefore, actually, timing for signals of row selection performed in accordance with the scan timing lines (a), (b) and (c) is allocated to periods (A), (B) and (C), respectively, whereby row selection is performed in time division with the periods (A), (B) and (C) in places where the scan timing lines overlap each other.

[0052]

In addition, Figs. 14 and 15 show a relationship between row selection signal timing and a scan timing line at a time t_1 and a time t_2 in Fig. 13. At the time t_1 immediately after starting exposure of Fig. 14, writing scan is performed in order

Scanned: 1/30/2022

from the first row in accordance with the scan timing line (a). However, timing of a row selection signal is only taken in the period (A), thus, a cycle of row selection performed in accordance with the scan timing line (a) becomes 3τ . No row is scanned in the periods (B) and (C).

[0053]

In addition, although the scan timing lines (a), (b) and (c) overlap with each other at the time t_2 in Fig. 15, in the actual timing of a row selection signal, row selection is performed in the period (A) on the scan timing line (a), row selection is performed in the period (B) on the scan timing line (b), and row selection is performed in the period (C) on the scan timing line (c). A cycle of row selection performed in accordance with each scan timing line becomes 3τ .

[0054]

Next, Fig. 16 is an example of output light according to the multi-gradation exposure method shown in Fig. 13. In this case, since $T_{ab}:T_{bc}:T_{ca} = (3/7)\tau:(6/7)\tau:(12/7)\tau (=1:2:4)$, exposure of $2^3 = 8$ gradations can be performed.

[0055]

First, an example of the first row will be described. At the time of gradation [0], all writing data according to the image data writing scan timing line (a), (b) and (c) are turned OFF. As a result, all output light is turned OFF, and an exposure time for a photosensitive material becomes zero. At the time of gradation [5], writing data according to the image data writing scan timing lines (a), (b) and (c) are turned ON, OFF and ON, respectively. As a result, output light is turned ON for the time of $T_{ab} + T_{ca}$, and an exposure time for a photosensitive material becomes $(15/7)\tau$. At the time of

gradation [7], all writing data according to the image data writing scan timing lines (a), (b) and (c) are turned ON. As a result, output light is turned ON for the time of $T_{ab} + T_{ba} + T_{ca}$, and an exposure time for a photosensitive material becomes $3n\tau$.

[0056]

In this way, multi-gradation exposure in which a gradation level and an exposure time for a photosensitive material are proportionate to each other can be performed. In addition, multi-gradation exposure in which a gradation level and an exposure time for a photosensitive material are proportionate to each other for the n -th row as for the first row can be performed.

[0057]

As described above, according to the present invention, the exposure period T_0 of eight gradations becomes $6n\tau$, and exposure can be performed at a speed higher than the exposure period $8n\tau$ of the aforementioned conventional method.

[0058]

Here, according to the multi-gradation exposure method of the present invention, an effect of high-speed exposure becomes remarkable compared with the conventional method as the number of gradations increases. This point will be hereinafter described in detail. Now, the number of gradations is assumed to be 2^g . Then, according to the present invention, the number of image data writing scan timing lines is g , and a ratio of interval of each scan timing line becomes $1:2:4:\dots:2^{(g-1)}$ [g is a positive integer]. In addition, a cycle of row selection performed in accordance with each scan timing line becomes $g\tau$. Thus, the exposure period T_0 at the time when

the number of gradations is 2^9 is represented by the following expression:

[0059]

$$T_0 = 2gnt \text{ [sec]} \cdots \cdots (2)$$

Exposure periods T_0 according to the present invention and the conventional method will be hereinafter compared specifically. Table 1 shows an example of comparison of the exposure periods T_0 according to the conventional method and the present invention.

[0060]

[Table 1]

[Condition] $\tau = 20 \text{ } \mu\text{s}$

Number of rows n	2040	2044	2046	2047	4095
Number of exposure gradations 2^9	$2^8=256$	$2^9=512$	$2^{10}=1024$	$2^{11}=2048$	$2^{12}=4096$
Exposure period T_0 according to the conventional method [sec]	10.44	20.93	41.90	83.85	335.46
Exposure period T_0 according to the present invention [sec]	0.65	0.74	0.82	0.90	1.97

[0061]

Numerical values in this Table 1 are calculated from expressions (1) and (2), respectively. A numerical value of the condition is set for, in particular, two-dimensional exposure of a high-definition stationary image (the number of pixels in one side is 2000 or more, and the number of image gradations is approximately 256). In addition, it is necessary to set the number of exposure gradations larger than the number of gradations of an image taking into account correction of a gradation curve, or the like, and the number of exposure gradations is set to 256 to 4096. In addition, a writing time τ for one row is set to $20 \text{ } \mu\text{s}$.

[0062]

As it is evident from the result of Table 1, compared with the conventional method, an exposure speed in the case of the present invention is 16 times as high in 256 gradations and approximately 170 times as high in 4096 gradations. It is seen that a remarkable effect is realized in accordance with the increase in the number of gradations.

[0063]

Note that, although the number of gradations is assumed to be 2^g (g is a positive integer) in the above-mentioned embodiment, the present invention acts effectively with the other numbers of gradations. Now, in the case in which the number of gradations is assumed to be h , the number of image data writing scan timing lines is assumed to be g (g is a minimum integer satisfying the condition $2^g \geq h$). The exposure period T_0 is calculated according to expression (2).

[0064]

Fig. 17 shows a relationship between an exposure period and the number of gradations according to the present invention. The exposure period is extremely reduced compared with the exposure period according to the conventional method in any number of gradations. Note that, as it is evident in Fig. 17, the present invention is most effective when the number of gradations is 2^g (g is a positive integer).

[0065]

In addition, in the present invention, an interval of each scan timing ($T_{ab}:T_{bc}:\dots$) is desirably set strictly to geometric series of 2 ($1:2:\dots:2^{(g-1)}$) and, more specifically, desirably ($T_{ab}:T_{bc}:\dots$) = ($1:2:\dots:2^{(g-1)}$) gnt / ($2^g - 1$). In addition, ($T_{ab}:T_{bc}:\dots$) needs to be an integer times a basic

cycle $g\tau$ for performing row selection according to time division with the plural (g) scan timing lines. Therefore, it is desirable that $n = k(2^g - 1)$ (k is a positive integer). However, actually, the number of rows n exists in which n is not equal to $k(2^g - 1)$ (k is a positive integer). As one of solving means in this case, when the actual number of rows of an element is assumed to be n' , an interval of each scan timing line (Tab:Tbc:.....) is set to (Tab:Tbc:.....) = $(1:2:\dots:2^{(g-1)}) g\tau / (2^g - 1)$ with a minimum value of n , which is equal to $k(2^g - 1)$ (k is a positive integer) equal to or larger than n' , as the imaginary number of rows. In this way, although $(n - n')$ rows are in excess of the actual number of rows n' of the element, this excess rows only have to be scanned as dummy rows.

[0066]

As an example, in the case in which $n' = 2000$ and $2^g = 2048$ ($g = 11$), the imaginary row n is assumed to be $n = k(2^g - 1)$ (k is a positive integer) = 2047 ($k = 1$). Consequently, (Tab:Tbc:.....) can be strictly set as (Tab:Tbc:.....) = $(1:2:\dots:2^{(g-1)}) g\tau / (2^g - 1) = (1:2:\dots:1028) g\tau$. In this case, although $(n - n') = 48$ rows are in excess, they only have to be scanned as dummy rows.

[0067]

Moreover, in the present invention, the interval of each scan timing line (Tab:Tbc:.....) may be set as an interval that does not have a problem practically rather than setting it strictly as geometric series of 2. As an example, in the case in which it is assumed that $n = 2000$ and the number of scan timing lines $g = 11$, (Tab:Tbc:.....) is set as (Tab:Tbc:.....) = $(1:2:4:\dots:256:512:977)$. Although the last number of the sequence on the right side is not geometric series of 2, since

Scanned 1/30/2023

series of the sequence on the right side is 2000, (Tab:Tbc:.....) is an integer times the basic cycle $g\tau$ of row selection, and row selection scanning according to the set interval becomes possible. Here, since the last number is 977, forty-seven combinations are redundant out of the value of 2^9 (= 2048), and the final number of gradations is $2^9 - 47 = 2001$. However, even in the case of 2001 gradations, if there is no problem practically, the effect of the present invention can be realized sufficiently.

[0068]

Next, an efficiency of utilizing light according to the exposure method of the present invention will be described. When $n = k(2^g - 1)$ { k is a positive integer}, according to the present invention, the exposure period T_0 is equal to $2g n \tau$, and the exposure time T_e for a photosensitive material T_e is equal to $g n \tau$. Therefore, an efficiency of utilizing light η is represented as $\eta = (T_e / T_0) \times 100 = 50\%$, and a sufficient efficiency of utilizing light that does not have a problem practically can be realized without depending upon the number of rows and the number of gradations.

[0069]

At the time of a condition in which n is not equal to $k(2^g - 1)$ { k is a positive integer}, scanning is performed in the imaginary number of rows n' with k as a positive integer as described above, and an excessive scanning time for a dummy row ($n' - n$) is required. Therefore, an efficiency of utilizing light may decline to 50% or less. However, the decline is small and is not a problem practically.

[0070]

Note that in the two-dimensional matrix type spatial

optical modulation element that can be used in the embodiment described above, the circuit for maintaining states of light emission and non-emission of a pixel portion (see Fig. 1) is constituted by the n-MOS-FET and the accumulation capacitor Cstg. However, if no problem occurs in operation without the accumulation capacitor Cstg, it is possible to eliminate this accumulation capacitor.

[0071]

In addition, although the circuit of Fig. 1 is constituted by a monocrystal semiconductor, it may be constituted by a polycrystal semiconductor as shown in Fig. 18. This pixel portion circuit of Fig. 18 consists of an MOS-FET of pixels formed on a glass substrate 50 by a poly-Si TFT process. Note that, in the figure, reference numeral 51 denotes a gate insulating film; 52, interlayer insulating films; 53, a pixel electrode (Al); 54, a source electrode; 55, a gate electrode; and 56, a drain electrode.

[0072]

In addition, as in the example shown in Fig. 19, the pixel portion circuit may be constituted by an amorphous semiconductor. This pixel portion circuit of Fig. 19 consists of an MOS-FET of pixels formed on a glass substrate 60 by an a-Si TFT process. Note that, in the figure, reference numeral 61 denotes a gate insulating film (SiNx); 62, an interlayer insulating film; 63, a pixel electrode (Al); 64, a source electrode; 65, a gate electrode; 66, a drain electrode; and 67, a channel protection film (SiNx).

[0073]

In addition, a complex structure may be adopted in which a peripheral drive circuit is constituted by a monocrystal

semiconductor and a pixel portion is constituted by a polycrystal semiconductor or an amorphous semiconductor.

[0074]

As shown in Fig. 20, the circuit for maintaining states of light emission or non-emission of the pixel portion may be constituted by a binary memory circuit such as an SRAM circuit as shown in Fig. 20. In the example of Fig. 20, when data of 1 or 0 is supplied from data signals V_d and \bar{V}_d and, at the same time, a pulse enabling data writing in the SRAM is given to a row selection signal \bar{W}_E , the data of 1 or 0 is written in the SRAM, and the output voltage V_s is held. The liquid crystal performs optical modulation in accordance with the written data, and the state is maintained until data of the SRAM is renewed anew.

[0075]

In addition, as the optical modulation element, one provided with a mirror element, whose deflection angle changes according to a voltage, may be used. In this element, when the written data is 1, the deflection angle of the mirror is stabilized in one direction, and light incident vertically is reflected at one angle. On the other hand, when the data is 0, the deflection angle of the mirror is stabilized in the other direction, and the light incident vertically is reflected at the other angle. In the case in which the two-dimensional matrix type optical modulation element constituted by such a mirror element is applied to the multi-gradation exposure method of the present invention, only one reflected light from the element can be focused to expose a photosensitive material as output light directly.

[0076]

Scanned: 1/29/2009 10:22:22

In addition, as the optical modulation element, one provided with a light-emitting element as an optical modulation portion may be used. Examples of such a light-emitting element include an inorganic thin film EL (electroluminescent) element that emits light by an electric field, an organic EL (electroluminescent) element serving as a carrier injection type light-emitting element that emits light by a current, an LED constituted by a compound semiconductor, and the like. In the case in which the two-dimensional matrix type optical modulation element constituted by such a light-emitting element is applied to the multi-gradation method of the present invention, light emitted from the element can be focused to expose a photosensitive material as output light directly.

[0077]

As an example, an equivalent circuit of a pixel portion of a two-dimensional matrix type spatial optical modulation element having the inorganic thin film EL element that emits light by an electric field as an optical modulation portion is shown in Fig. 21. In this Fig. 21, reference numeral 70 denotes a thin film EL; 71, a pixel electrode thereof; and 72, an opposed electrode.

[0078]

In this circuit, data of 1 or 0 is written in a TR1 of a MOS-FET from the data signal Vd according to a selection pulse of the row selection signal Vg. The output voltage Vs of the TR1 is held at a voltage with which a TR2 of the MOS-FET comes into a conduction state sufficiently when the written data is 1. The output voltage Vs is held at a voltage with which the TR2 comes into a non-conduction state sufficiently when the written data is 0. The output voltage Vs of the TR1 is held

until new data is written. The thin film EL 70 is connected to the TR2 in series, one side of the TR2 is connected to the ground potential Vss, and the opposed electrode 72 of the thin film EL 70 is connected to a common power supply Vac.

[0079]

Vac supplies an AC voltage, representatively a voltage in the order of 20 kHz, 100 Vrms. When the TR2 is in the conduction state, a voltage Vel between the TR2 and the thin film EL 70 becomes substantially Vac, and the thin film 70 emits light. When the TR2 is in the non-conduction state, the voltage Vel between the TR2 and the thin film EL 70 becomes lower than a voltage with which the thin film EL 70 emits light, and the thin film EL 70 does not emit light. Therefore, the light emission is maintained if the data 1 is written, and the light emission is not performed any more if the data 0 is written.

[0080]

In addition, Fig. 22 is a sectional view of a pixel portion of a two-dimensional matrix type spatial optical modulation element using a thin film EL. In this example, a pixel circuit 81 as shown in Fig. 21 is formed on a semiconductor substrate 80, and a pixel electrode (reflection film of metal such as Al) 83 is formed via an interlayer insulating layer 82. Moreover, an insulating layer 84, an EL light-emitting layer (as an example, ZnS:Mn thin film) 85, an insulating layer 86, and an opposed transparent electrode (ITO, etc.) 87 are laminated in order to form the pixel portion. The common power supply Vac is supplied to the opposed transparent electrode 87. Light emitted from the EL light-emitting layer 85 is reflected by the pixel electrode 83 to finally exit upwards in Fig. 22.

[0081]

Scanned 1/30/2020 08:22:40

Note that it is also possible to combine the multi-gradation exposure method of the present invention with other gradation exposure method (area gradation, optical intensity modulation method, dither method, etc.).

[Brief Description of the Drawings]

[Fig. 1] Sectional view of a pixel portion of a spatial optical modulation element that can be used in the present invention

[Fig. 2] An equivalent circuit of the pixel portion of the above-mentioned spatial optical modulation element

[Fig. 3] A schematic view showing an optical modulation optical system using the above-mentioned spatial optical modulation element

[Fig. 4] An explanatory view showing a relationship between a liquid crystal layer voltage and a liquid crystal orientation position

[Fig. 5] A graph showing each voltage and an output light waveform of the above-mentioned pixel portion

[Fig. 6] An equivalent circuit diagram of a two-dimensional matrix type spatial optical modulation element

[Fig. 7] A schematic graph showing a driving method of the two-dimensional matrix type spatial optical modulation element

[Fig. 8] A schematic view of an exposure system using the spatial optical modulation element

[Fig. 9] A schematic graph showing an exposure sequence for a photosensitive material in a conventional multi-gradation exposure method

[Fig. 10] A schematic graph showing row selection signal timing and a scan timing line in the conventional method

[Fig. 11] A timing chart of write scanning according to the conventional multi-gradation exposure method

[Fig. 12] A schematic graph showing a modulation state of output light according to the conventional multi-gradation exposure method

[Fig. 13] A timing chart of scanning in the multi-gradation exposure method of the present invention

[Fig. 14] A schematic graph showing row selection signal timing and a scan timing line at one time in Fig. 13

[Fig. 15] Schematic graphs showing row selection signal timing and a scan timing line at another time in Fig. 13

[Fig. 16] A schematic graph showing a modulation state of output light according to the multi-gradation exposure method of the present invention

[Fig. 17] A graph showing a relationship between an exposure period and the number of gradations according to the present invention

[Fig. 18] A sectional view of a pixel portion constituted by a polycrystal semiconductor

[Fig. 19] A sectional view of a pixel portion constituted by a monocrystal semiconductor

[Fig. 20] A sectional view of a pixel portion constituted by an SRAM circuit

[Fig. 21] An equivalent circuit diagram of a pixel portion consisting of a thin film EL

[Fig. 22] A sectional view of a pixel portion consisting of a thin film EL

[Description of Reference Numerals]

1 Two-dimensional matrix type spatial optical modulation element

- Scanned 1/30/2009
- 2 PBS
 - 3 Light source
 - 4 Condensing lens
 - 5 Shutter
 - 6 Projection lens
 - 7 Photosensitive material
 - 8 Image signal generation device
 - 10 p-type silicon semiconductor substrate
 - 11 n- MOS-FET
 - 12 Charge accumulation capacitor
 - 13 Drain area
 - 14 Source area
 - 15 Gate oxide film
 - 16 Gate electrode
 - 17 p+ area
 - 18 Oxide film
 - 19 poly- Si film
 - 20 First interlayer insulating film
 - 21 First layer Al wiring
 - 22 Source electrode
 - 23 Drain electrode
 - 24 Second interlayer insulating film
 - 25 Pixel electrode (second layer Al)
 - 26 Orientation film
 - 27 Opposed transparent substrate
 - 28 Opposed transparent common electrode
 - 29 Orientation film
 - 50 Glass substrate
 - 51 Gate insulting film
 - 52 Interlayer insulating film

- 53 Pixel electrode (Al)
- 54 Source electrode
- 55 Gate electrode
- 56 Drain electrode
- 60 Glass substrate
- 61 Gate insulating film (SiNx)
- 62 Interlayer insulating film
- 63 Pixel electrode (Al)
- 64 Source electrode
- 65 Gate electrode
- 66 Drain electrode
- 67 Channel protection film (SiNx)
- 70 Thin film EL
- 71 Pixel electrode
- 72 Opposed electrode
- 80 Semiconductor substrate
- 81 Pixel circuit
- 82 Interlayer insulating layer
- 83 Pixel electrode
- 84 Insulating layer
- 85 EL light-emitting layer
- 86 Insulating layer
- 87 Opposed transparent electrode

FIG. 1

10 SUBSTRATE
12 CHARGE ACCUMULATION CAPACITOR Cstg
13 DRAIN AREA
14 SOURCE AREA
15 GATE OXIDE FILM
16 GATE ELECTRODE
18 OXIDE FILM
19 poly-Si FILM
20 FIRST INTERLAYER INSULATING FILM
21 FIRST LAYER Al
22 SOURCE ELECTRODE
23 DRAIN ELECTRODE
24 SECOND INTERLAYER INSULATING FILM
25 PIXEL ELECTRODE (SECOND LAYER Al)
26 ORIENTATION FILM
27 OPPOSED TRANSPARENT SUBSTRATE
28 OPPOSED TRANSPARENT COMMON ELECTRODE
29 ORIENTATION FILM
30 FERROELECTRIC LIQUID CRYSTAL

FIG. 3

1 SPATIAL OPTICAL MODULATION ELEMENT
3 LIGHT SOURCE
S POLARIZED LIGHT WAVE
OPPOSED TRANSPARENT SUBSTRATE SIDE
OUTPUT LIGHT

FIG. 4

INCIDENT POLARIZED LIGHT AXIS

FIG. 6

- 1 IMAGE DATA
- 2 CONTROL SIGNAL
- 3 IMAGE SIGNAL DRIVE CIRCUIT
- 4 ROW SELECTION DRIVE CIRCUIT

FIG. 8

- 1 REFLECTION TYPE SPATIAL OPTICAL MODULATION ELEMENT
- 3 LIGHT SOURCE
- 4 CONDENSING LENS
- 5 SHUTTER
- 6 PROJECTION LENS
- 7 PHOTSENSITIVE MATERIAL
- 8 IMAGE SIGNAL GENERATION DEVICE

FIG. 9

1. CONVEY PHOTSENSITIVE MATERIAL
2. CONVEY FIRST PHOTSENSITIVE MATERIAL
3. EXPOSURE PERIOD $T_0 = 2\pi t$ OR MORE
4. FIXED PERIOD OF PHOTSENSITIVE MATERIAL
5. CONVEY NEXT PHOTSENSITIVE MATERIAL
6. SHUTTER
7. WRITE [OFF ON ENTIRE SURFACE]
8. WRITE [IMAGE DATA]
9. WRITE [OFF ON ENTIRE SURFACE]
10. ROW SELECTION SIGNAL
11. OUTPUT LIGHT
12. PHOTSENSITIVE MATERIAL EXPOSURE TIME
13. FIRST ROW PIXEL

14. SECOND ROW PIXEL
15. N-TH ROW PIXEL
16. OUTPUT LIGHT CONFORMS TO IMAGE DATA

FIG. 10

- 1 ROW SELECTION SIGNAL
2 WRITE IMAGE DATA
3 WRITE OFF ON ENTIRE SURFACE
4 SCAN TIMING LINE (WRITE IMAGE DATA)
5 SCAN TIMING LINE (WRITE OFF)

FIG. 11

- 1 EXPOSURE PERIOD $T_0 = 8n\tau$
2 SCAN TIMING LINE (WRITE IMAGE DATA)
3 SCAN TIMING LINE (WRITE OFF)

FIG. 12

- 1 EXAMPLE OF FIRST ROW
2 GRADATION
3 EXPOSURE PERIOD $T_0 = 8n\tau$
4 MAXIMUM PHOTOSENSITIVE MATERIAL EXPOSURE TIME $T_0 = 7n\tau$

FIG. 13

- 1 EXPOSURE PERIOD $T_0 = 6n\tau$
2 SCAN TIMING LINE (WRITE IMAGE DATA)
3 SCAN TIMING LINE (WRITE OFF)

FIG. 16

- 1 EXPOSURE PERIOD $T_0 = 6n\tau$
2 EXAMPLE OF FIRST ROW

Scanned 1/30/2020

3 GRADATION
4 EXAMPLE OF N-TH ROW
5 GRADATION
6 SCAN TIMING LINE (WRITE IMAGE DATA)
7 SCAN TIMING LINE (WRITE OFF)

FIG. 17

EXPOSURE PERIOD T_0

NUMBER OF GRADATIONS h

FIG. 18

50 GLASS SUBSTRATE
51 GATE INSULATING FILM
52 INTERLAYER INSULATING FILM
53 PIXEL ELECTRODE (Al)
54 SOURCE ELECTRODE
55 GATE ELECTRODE
56 DRAIN ELECTRODE

FIG. 19

60 GLASS SUBSTRATE
61 GATE INSULATING FILM (SiN_x)
62 INTERLAYER INSULATING FILM
63 PIXEL ELECTRODE (Al)
64 SOURCE ELECTRODE
65 GATE ELECTRODE
66 DRAIN ELECTRODE
67 CHANNEL PROTECTION FILM (SiN_x)

FIG. 21

COMMON POWER SUPPLY Vac

FIG. 22

80 SUBSTRATE

81 PIXEL CIRCUIT

82 INTERLAYER INSULATING LAYER

83 PIXEL ELECTRODE

84 INSULATING LAYER

85 EL LIGHT-EMITTING LAYER

86 INSULATING LAYER

87 OPPOSED ELECTRODE (TRANSPARENT ELECTRODE)